

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-163344  
(43)Date of publication of application : 19.06.1998

---

(51)Int.CI. H01L 21/8244  
H01L 27/11  
H01L 21/8238  
H01L 27/092  
H01L 29/78

---

(21)Application number : 08-325070 (71)Applicant : HITACHI LTD  
(22)Date of filing : 05.12.1996 (72)Inventor : OTSUKA FUMIO

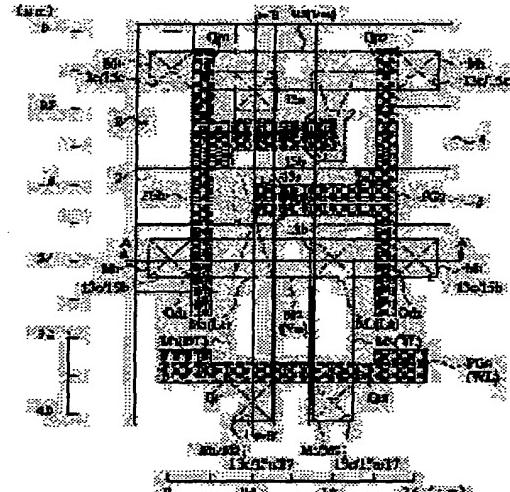
---

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURING METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a technique to reduce the area of a memory cell of an SRAM(Static Random Access Memory).

**SOLUTION:** At a photolithography process to form a common gate electrode FG1 for a driving MISFET(Metal Insulator Semiconductor Field Effect Transistor) Qd1 and a load MISFET Qp1, and to form a common gate electrode FG2 for a driving MISFET Qd2 and a load MISFET Qp2, a second mask-pattern latent image is superimposed on a first mask-pattern latent image having a pattern where a pull-out electrode of the gate electrode FG1 is connected to a pull-out electrode of the gate electrode FG2. By this arrangement, a latent image of a pattern of a pair of gate electrodes FG1 and FG2, where the pull-out electrode of the gate electrode FG1 and the pull-out electrode of the gate electrode FG2 are separated, is formed on a photoresist film on the semiconductor wafer.



---

### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

JP,10-163344,A

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this

5 translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

10

---

CLAIMS

---

15 [Claim(s)]

[Claim 1] The flip-flop circuit which consisted of CMOS inverters of a couple which consist of MISFET for a drive, and MISFET for loads. The SRAM in which the partial wiring of a couple which connects the mutual input/output terminal of the CMOS inverter of the aforementioned couple by the 2nd electric-conduction film which the 20 memory cell was constituted from MISFET for a transfer of the couple connected to the input/output terminal of the couple of the aforementioned flip-flop circuit, and the gate electrode of the common couple of the aforementioned MISFET for a drive and the aforementioned MISFET for loads and the gate electrode of the aforementioned MISFET for a transfer were formed by the 1st electric-conduction film, and formed in 25 the upper layer of the aforementioned It is semiconductor integrated circuit equipment equipped with the above, and the drawer electrode for connecting the common gate electrode of the aforementioned MISFET for a drive and MISFET for loads and the

aforementioned partial wiring is prepared in the common gate electrode of the aforementioned MISFET for a drive of a couple, and MISFET for loads, and width of face of the aforementioned drawer electrode is characterized by being thinner than the width of face of the drawer electrode of the gate electrode of MISFET formed in the 5 circumference circuit.

- [Claim 2] The contact hole for connecting the drawer electrode of the common gate electrode of one MISFET for a drive, and one MISFET for loads, and one partial wiring in semiconductor integrated circuit equipment according to claim 1, The contact hole for connecting the drain field of MISFET for loads of another side and aforementioned one 10 partial wiring is the same. The contact hole for connecting the common gate electrode of MISFET for a drive of another side, and MISFET for loads of aforementioned another side, and partial wiring of another side, The contact hole for connecting the drain field of aforementioned one MISFET for a drive and partial wiring of aforementioned another side is semiconductor integrated circuit equipment characterized by the same thing.
- 15 [Claim 3] The drawer electrode which the common gate electrode of the aforementioned MISFET for a drive of a couple and MISFET for loads has in semiconductor integrated circuit equipment according to claim 1 is semiconductor integrated circuit equipment characterized by being constituted with the aforementioned 1st electric conduction film.
- 20 [Claim 4] The lithography process which is characterized by providing the following and which is the manufacture method of semiconductor integrated circuit equipment according to claim 1, and forms the common gate electrode of the aforementioned MISFET for a drive of a couple, and MISFET for loads. The latent image of the mask pattern formed in the 1st mask. By forming in the resist film on a semiconductor wafer 25 in piles the latent image of the mask pattern formed in the 2nd mask, it is a predetermined configuration.

[Claim 5] In the manufacture method of semiconductor integrated circuit equipment

according to claim 4 The mask pattern with which the drawer electrode of the common gate electrode of the drawer electrode of the common gate electrode of one MISFET for a drive and MISFET for loads, MISFET for a drive of another side, and MISFET for loads was connected is formed in the 1st mask of the above. The latent image of the  
5 mask pattern with which the drawer electrode of the common gate electrode of the drawer electrode of the common gate electrode of aforementioned one MISFET for a drive and MISFET for loads formed in the 1st mask of the above, MISFET for a drive of aforementioned another side, and MISFET for loads was connected, By forming in the aforementioned resist film on the aforementioned semiconductor wafer in piles the  
10 latent image of the mask pattern formed in the 2nd mask of the above Forming the resist pattern with which the drawer electrode of the common gate electrode of the drawer electrode of the common gate electrode of aforementioned one MISFET for a drive and MISFET for loads, MISFET for a drive of aforementioned another side, and MISFET for loads was separated on the aforementioned semiconductor wafer The  
15 manufacture method of the semiconductor integrated circuit equipment by which it is characterized.

[Claim 6] It is the manufacture method of the semiconductor integrated circuit equipment characterized by the 1st mask of the above being a phase shift mask in the manufacture method of semiconductor integrated circuit equipment according to claim  
20 4.

[Claim 7] In the manufacture method of semiconductor integrated circuit equipment according to claim 6 The mask pattern with which the drawer electrode of the common gate electrode of the drawer electrode of the common gate electrode of one MISFET for a drive and MISFET for loads, MISFET for a drive of another side, and MISFET for  
25 loads was connected is formed in the 1st mask of the above. The latent image of the mask pattern with which the drawer electrode of the common gate electrode of the drawer electrode of the common gate electrode of aforementioned one MISFET for a

drive and MISFET for loads formed in the 1st mask of the above, MISFET for a drive of aforementioned another side, and MISFET for loads was connected, By forming in the aforementioned resist film on the aforementioned semiconductor wafer in piles the latent image of the mask pattern formed in the 2nd mask of the above While forming the  
5 resist pattern with which the drawer electrode of the common gate electrode of the drawer electrode of the common gate electrode of aforementioned one MISFET for a drive and MISFET for loads, MISFET for a drive of aforementioned another side, and MISFET for loads was separated on the aforementioned semiconductor wafer The manufacture method of the semiconductor integrated circuit equipment characterized  
10 by not imprinting the unnecessary pattern by the shifter prepared in the 1st mask of the above on the aforementioned semiconductor wafer.

---

#### DETAILED DESCRIPTION

---

15

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention is applied to the semiconductor integrated circuit equipment which has SRAM (Static Random  
20 Access Memory) about semiconductor integrated circuit equipment and its manufacturer method, and relates to effective technology.

[0002]

[Description of the Prior Art] SRAM as a semiconductor memory is equipped with the memory cell constituted from a flip-flop circuit and two MISFET(s) for a transfer (Metal  
25 InsulatorSemiconductor Field Effect Transistor) by the intersection of a word line and the on complementarity data lin .

[0003] The flip-flop circuit of the memory cell of SRAM is constituted as the

information storage section, and memorizes 1-bit information. The flip-flop circuit of this memory cell consists of CMOS (Complementary Metal Oxide Semiconductor) inverters of a couple as an example. Each of a CMOS inverter consists of n channel type MISFET for a drive, and p-channel type MISFET for loads. Moreover, MISFET for a transfer consists of n channel types. That is, this memory cell consists of so-called perfect CMOS (Full Complementary Metal Oxide Semiconductor) types which used six MISFET(s).

5 [0004] Cross linking of between the input/output terminals between the CMOS inverters of the couple which constitutes a flip-flop circuit is carried out through wiring  
10 (henceforth partial wiring) of a couple. The source field of one MISFET for a transfer is connected to the input/output terminal of one CMOS inverter, and the source field of MISFET for a transfer of another side is connected to the input/output terminal of the CMOS inverter of another side. One side of the complementarity data line is connected to the drain field of one MISFET for a transfer, and another side of the complementarity data line is connected to the drain field of MISFET for a transfer of another side. A word line is connected to each gate electrode of MISFET for a transfer of a couple, and the flow of MISFET for a transfer and un-flowing are controlled by this word line.

15 [0005] In addition, about this kind of perfect CMOS type SRAM, JP,6-302786,A, JP,7-99255,A, JP,8-17944,A, etc. have a publication.

20 [0006]  
[Problem(s) to be Solved by the Invention] However, this invention person found out the following troubles in considering reduction of the occupancy area of the memory cell of the above-mentioned perfect CMOS type SRAM accompanying large-capacity-izing of a semiconductor memory.

25 [0007] The pattern layout of the memory cell of the conventional perfect CMOS type SRAM is shown in drawing 1 . MISFETQd1 for a drive which constitutes one CMOS inverter like illustration MISFETQp1 for loads Common gate electrode FG1 \*\*\*\* — This

gate electrode FG1 Partial wiring L2 The drawer electrode for connecting is formed. MISFETQd2 for a drive which similarly constitutes the CMOS inverter of another side MISFETQp2 for loads Common gate electrode FG2 \*\*\*\* — this gate electrode FG2 Partial wiring L1 The drawer electrode for connecting is formed.

5 [0008] however, in order to secure the high resolution in a photolithography process The above-mentioned gate electrode FG1 The width of face (W1) of a drawer electrode, and the above-mentioned gate electrode FG2 The width of face (W2) of a drawer electrode 0.4 micrometers or more, The above-mentioned gate electrode FG1 A drawer electrode and the above-mentioned gate electrode FG2 An interval (S) with a drawer electrode must be set as 0.4 micrometers or more, and it has become the factor from 10 which this alienates reduction of the memory cell size of perfect CMOS type SRAM.

[0009] The purpose of this invention is to offer the technology which can reduce the area of the memory cell of SRAM.

[0010] The other purposes and the new feature will become clear from description and 15 the accompanying drawing of this specification at the aforementioned row of this invention.

[0011]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application. Namely, the 20 semiconductor integrated circuit equipment of (1) this invention The flip-flop circuit which consisted of CMOS inverters of a couple which consist of MISFET for a drive, and MISFET for loads, A memory cell consists of MISFET(s) for a transfer of the couple connected to the input/output terminal of the couple of the aforementioned flip-flop circuit. The gate electrode of the common couple of the aforementioned MISFET for a 25 drive and the aforementioned MISFET for loads and the gate electrode of the aforementioned MISFET for a transfer are formed by the 1st electric conduction film. It has SRAM in which the partial wiring of a coupl which connects the mutual

- input/output terminal of the CMOS inverter of the aforementioned couple by the 2nd electric conduction film formed in the upper layer of the aforementioned 1st electric conduction film was formed. The drawer electrode for connecting the common gate electrode of the aforementioned MISFET for a drive and MISFET for loads and the 5 aforementioned partial wiring is prepared in the common gate electrode of the aforementioned MISFET for a drive of a couple, and MISFET for loads. The width of face of the aforementioned drawer electrode is formed more thinly than the width of face of the drawer electrode of the gate electrode of MISFET formed in the circumference circuit.
- 10 [0012] (2) Moreover, the manufacture method of the semiconductor integrated circuit equipment of this invention In the lithography process which forms the common gate electrode of the aforementioned MISFET for a drive of a couple, and MISFET for loads which is one manufacturing process of the above SRAM of the above (1) By forming in the resist film on a semiconductor wafer in piles the latent image of the mask pattern 15 formed in the 1st mask, and the latent image of the mask pattern formed in the 2nd mask The resist pattern of the common gate electrode of the aforementioned MISFET for a drive of the couple which has a predetermined configuration, and MISFET for loads is formed on the aforementioned semiconductor wafer.
- [0013] According to the above-mentioned means, by putting the latent image of the 20 mask pattern of the 1st mask, and the latent image of the mask pattern of the 2nd mask on the resist film on a semiconductor wafer, the latent image of the mask pattern of the 1st mask is corrected, and it becomes possible to form a resist pattern more detailed than the mask pattern of the 1st mask on a semiconductor wafer.
- [0014] That is, the latent image of the pattern with which the drawer electrode of the 25 common gate electrode of the drawer electrode of the common gate electrode of one MISFET for a drive and MISFET for loads, MISFET for a drive of another side, and MISFET for loads was connected is first formed in the resist film on a semiconductor

wafer using the 1st mask. Subsequently, the latent image of the pattern which separates the drawer electrode of the common gate electrode of the drawer electrode of the common gate electrode of one MISFET for a drive and MISFET for loads, MISFET for a drive of another side, and MISFET for loads is formed in the resist film on a 5 semiconductor wafer using the 2nd mask. Of this, the latent image of the pattern with which the drawer electrode of the common gate electrode of the drawer electrode of the common gate electrode of one MISFET for a drive and MISFET for loads, MISFET for a drive of another side, and MISFET for loads was separated is formed in the resist film on a semiconductor wafer, and the resist pattern of the common gate electrode of 10 MISFET for a drive of a couple and MISFET for loads is formed on a semiconductor wafer of it.

[0015] Under the present circumstances, since the width of face of the resist pattern of the drawer electrode which the common gate electrode of MISFET for a drive of a couple and MISFET for loads has can be set up arbitrarily, the thing according to the 15 layout rule of the gate electrode of MISFET which forms in a circumference circuit the width of face of the resist pattern of the drawer electrode which the common gate electrode of MISFET for a drive of a couple and MISFET for loads has which it pulls out and is made thinner than the width of face of the resist pattern of a

[0016]

20 [Embodiments of the Invention] Hereafter, the gestalt of operation of this invention is explained in detail based on a drawing.

[0017] In addition, what has the same function in the complete diagram for explaining the gestalt of operation attaches the same sign, and explanation of the repeat is omitted.

25 [0018] Drawing 2 is the representative circuit schematic of the memory cell of SRAM of the gestalt of this operation. Like illustration, the memory cell of SRAM of the gestalt of this operation is the objects MISFETQd1 and Qd2 for the drive of the couple arranged

at the intersection of the complementarity data line (data-line DL, data-line bar DL) of a couple, and a word line WL, and the objects MISFETQp1 and Qp2 for the loads of a couple. And for [ MISFETQt1 and Qt2 ] a transfer of a couple It is constituted. For [ MISFETQd1 and Qd2 ] a drive And for [ Qt1 and Qt2 ] a transfer It consists of n channel types and they are the objects MISFETQp1 and Qp2 for loads. It consists of p-channel types. That is, this memory cell consists of perfect CMOS types using four n channel type MISFET(s) and two p-channel type MISFET(s).

5 [0019] MISFETQd1 for a drive among six MISFET(s) which constitute the above-mentioned memory cell MISFETQp1 for loads A CMOS inverter (INV1) is constituted and it is MISFETQd2 for a drive. MISFETQp2 for loads The CMOS inverter

10 (INV2) is constituted. Between the input/output terminals (accumulation nodes A and B) between the CMOS inverters (INV1, INV2) of this couple, they are the partial wiring L1 and L2 of a couple. It minds, and cross linking is carried out and the flip-flop circuit as the information storage section which memorizes 1-bit information is constituted.

15 [0020] One input/output terminal (accumulation node A) of the above-mentioned flip-flop circuit is MISFETQt1 for a transfer. Connecting with a source field, the input/output terminal (accumulation node B) of another side is MISFETQt2 for a transfer. It connects with the source field. MISFETQt1 for a transfer It connects with the data line DL and a drain field is MISFETQt2 for a transfer. The drain field is

20 connected to the data-line bar DL.

[0021] Moreover, the end (each source field for [ MISFETQp1 and Qp2 ] loads) of a flip-flop circuit is connected to supply voltage (Vcc), and the other end (each source field for [ MISFETQd1 and Qd2 ] a drive) is connected to reference voltage (Vss). Supply voltage (Vcc) is 5V and reference voltage (Vss) is 0V (GND voltage).

25 [0022] When operation of the above-mentioned circuit is explained and the accumulation node A of one CMOS inverter (INV1) is high potential ("H"), it is MISFETQd2 for a driv . Since it is turned on, the accumulation node B of the CMOS

inverter (INV2) of another side becomes low voltage ("L"). Therefore, MISFETQd1 for a drive It is turned off and the high potential ("H") of the accumulation node A is held. That is, information is held, while the state of the mutual accumulation nodes A and B is held by the latch circuit to which cross linking of the CMOS inverter (INV1, INV2) of a

5 couple was carried out and supply voltage is impressed.

[0023] For [ MISFETQt1 and Qt2 ] a transfer A word line WL is connected to each gate electrode, and they are the objects MISFETQt1 and Qt2 for a transfer by this word line WL. A flow and un-flowing are controlled. That is, when a word line WL is high potential ("H"), they are the objects MISFETQt1 and Qt2 for a transfer. Since it is turned on and

10 a latch circuit and the complementarity data line (data-line DL, bar DL) are connected electrically, the potential state ("H" or "L") of the accumulation nodes A and B appears in data-line DL and Bar DL, and is read as information on a memory cell.

[0024] In order to write information in a memory cell, they are "H" potential level and the objects MISFETQt1 and Qt2 for a transfer about the WORD wiring WL. It turns ON

15 and the information on data-line DL and Bar DL is transmitted to the accumulation nodes A and B. Moreover, in order to read the information on a memory cell, similarly they are "H" potential level and the objects MISFETQt1 and Qt2 for a transfer about a word line WL. The information on the accumulation nodes A and B changed into ON state is transmitted to data-line DL and Bar DL.

20 [0025] Next, the concrete composition of the above-mentioned memory cell is explained using drawing 3 (plan of a semiconductor substrate showing one abbreviation for a memory cell), drawing 4 (cross section of the semiconductor substrate in the A-A' line of drawing 3 ), and drawing 5 (cross section of the semiconductor substrate in the B-B' line of drawing 3 ). In addition, the plan of a semiconductor substrate showing one  
25 abbreviation for the memory cell in manufacture process is shown in drawing 6 and drawing 7 .

[0026] As shown in drawing 3 – drawing 5 , six MISFET(s) which constitute a memory

cell are formed in the active region which had the circumference surrounded by the field insulator layer 2 of the p-type semiconductor substrate 1. objects MISFETQd1 and Qd2 for a drive which consist of n channel types And objects MISFETQt1 and Qt2 for a transfer each — p type — objects MISFETQp1 and Qp2 for loads which are formed in

5 the active region of a well 3 and consist of p-channel types n type — it is formed in the active region of a well 4 p type — a well 3 and n type — each of a well 4 is formed in the principal plane of p type epitaxial silicon layer 5 formed on the semiconductor substrate 1

[0027] For [ MISFETQt1 and Qt2 ] a transfer Gate electrode FG3 constituted by a word 10 line WL and one It has. This gate electrode FG3 (word line WL) is formed on the gat insulator layer 7 which consisted of polycide films 6 which carried out the laminating of a polycrystal silicon film and the refractory-metal silicide film, and consisted of silicon-oxide films.

[0028] the above-mentioned objects MISFETQt1 and Qt2 for a transfer each source 15 field and a drain field — p type — n- of low high impurity concentration formed in the active region of a well 3 The type semiconductor region 8 and n+ of high high impurity concentration It consists of type semiconductor regions 9. Namely, for [ MISFETQt1 and Qt2 ] a transfer Each source field and the drain field consist of LDD structures.

[0029] MISFETQd1 for a drive which constitutes one CMOS inverter of a flip-flop 20 circuit MISFETQp1 for loads Common gate electrode FG1 MISFETQd2 for a drive which has and constitutes the CMOS inverter of another side MISFETQp2 for loads Common gate electrode FG2 It has ( drawing 6 ).

[0030] These gates electrodes FG1 and FG2 For [ above-mentioned / MISFETQt1 and Qt2 ] a transfer It consists of same polycide films 6 as the gate electrode FG3 (word 25 line WL), and is formed on the gate insulator layer 7. In addition, gate electrodes FG1 and FG2 And the n type impurity (for example, Lynn) is introduced into the polycrystal silicon film of the lower part of the polycide film 6 which constitutes the gate electrode

FG3 (word line WL).

[0031] objects MISFETQd1 and Qd2 for a drive each source field and a drain field — p type — n- of low high impurity concentration formed in the active region of a well 3 The type semiconductor region 8 and n+ of high high impurity concentration It consists

5 of type semiconductor regions 9. Namely, for [ MISFETQd1 and Qd2 ] a drive Each source field and the drain field consist of LDD structures.

[0032] moreover, objects MISFETQp1 and Qp2 for loads each source field and a drain field — n type — p- of low high impurity concentration formed in the active region of a well 4 A type semiconductor region (not shown) and p+ of high high impurity 10 concentration It consists of type semiconductor regions (not shown). Namely, for [ MISFETQp1 and Qp2 ] loads Each source field and the drain field consist of LDD structures.

[0033] In addition, the objects MISFETQd1 and Qd2 for a drive and for [ MISFETQp1 and Qp2 ] loads And for [ MISFETQt1 and Qt2 ] a transfer The metal silicide film 10 for 15 the reduction in resistance is formed in the upper part of each source field and a drain field. The metal silicide film 10 consists of for example, titanium silicide (TiSi<sub>2</sub>) films.

[0034] MISFETQd1 for a drive MISFETQp1 for loads Common gate electrode FG1 This gate electrode FG1 The 1st-layer metal wiring M1 Partial wiring L2 constituted It has the drawer electrode for connecting. MISFETQd2 for a drive MISFETQp2 for loads 20 Common gate electrode FG2 This gate electrode FG2 The 1st-layer metal wiring M1 Partial wiring L1 constituted It has the drawer electrode for connecting.

[0035] By the way, gate electrode FG4 of MISFET which constitutes a circumference circuit This gate electrode FG4 The 1st-layer metal wiring M1 It has the drawer electrode for connecting ( drawing 8 ). However, MISFETQd1 for a drive MISFETQp1 for 25 loads Common gate electrode FG1 The width of face (W1) of a drawer electrode Gate electrode FG4 of MISFET of a circumference circuit according to the layout rule It is formed more thinly than the width of face (W3) of a drawer electrode. Similarly, it is

MISFETQd2 for a drive. MISFETQp2 for loads Common gate electrode FG2 The width of face (W2) of a drawer electrode is the gate electrode FG4 of MISFET of a circumference circuit according to the layout rule. It is formed more thinly than the width of face (W3) of a drawer electrode.

- 5 [0036] MISFETQd1 for a drive MISFETQp1 for loads The common gate electrode FG1 and MISFETQd2 for a drive MISFETQp2 for loads Common gate electrode FG2 And for [ MISFETQt1 and Qt2 ] a transfer The silicon nitride film 11 and the layer insulation film 12 of the 1st layer are formed in the upper layer of the gate electrode FG3 (word line WL). On this layer insulation film 12 of the 1st layer, it is the 1st-layer metal wiring M1.
- 10 10 It is formed and is the 1st-layer metal wiring M1. Partial wiring L1 and L2 It is constituted ( drawing 7 ). It consists of cascade screens of for example, a silicon-oxide film and a BPSG (Boron Phospho Silicate Glass) film, and the layer insulation film 12 of the 1st layer is the 1st-layer metal wiring M1. For example, it consists of tungsten (W) films.
- 15 15 [0037] Partial wiring L1 Contact hole 13a punctured by the layer insulation film 12 of the 1st layer is led, and it is MISFETQd1 for a drive. And MISFETQp1 for loads It is MISFETQd2 for a drive to each drain field and a row. MISFETQp2 for loads Common gate electrode FG2 It connects. Similarly, it is the partial wiring L2. Contact hole 13b punctured by the layer insulation film 12 of the 1st layer is led, and it is MISFETQd2 for
- 20 20 a drive. And MISFETQp2 for loads It is MISFETQd1 for a drive to each drain field and a row. MISFETQp1 for loads Common gate electrode FG1 It connects.
- [0038] Therefore, the 1st-layer metal wiring M1 formed on the layer insulation film 12 of the 1st above-mentioned layer MISFETQd1 for a drive A drain field and MISFETQp1 for loads A drain field and MISFETQd2 for a drive Common gate electrode FG2 of
- 25 25 MISFETQp2 for loads And MISFETQt1 for a transfer A source field is connected electrically.
- [0039] Similarly, it is the 1st-layer metal wiring M1. MISFETQd2 for a drive A drain field

and MISFETQp2 for loads A drain field and MISFETQd1 for a drive MISFETQp1 for loads Common gate electrode FG1 And MISFETQt2 for a transfer A source field is connected electrically.

[0040] In addition, MISFETQd1 for a drive MISFETQp1 for loads Common gate 5 electrode FG1 A drawer electrode top and MISFETQp2 for loads The same contact hole 13b is formed on the drain field, and they are MISFETQd2 for a drive, and MISFETQp2 for loads. Common gate electrode FG2 A drawer electrode top and MISFETQd1 for a drive The same contact hole 13a is formed on the drain field.

[0041] Furthermore, contact hole 13c punctured by the layer insulation film 12 of the 10 1st layer is led, and it is the 1st-layer metal wiring M1. For [ MISFETQd1 and Qd2 ] a drive Each source field and for [ MISFETQp1 and Qp2 ] loads Each source field and for [ MISFETQt1 and Qt2 ] a transfer It connects with each drain field.

[0042] The 1st-layer [ above-mentioned ] metal wiring M1 The layer insulation film 14 of the 2nd layer is minded, and it is the 2nd-layer metal wiring M2. It is formed. It 15 consists of cascade screens of for example, a silicon-oxide film and a BPSG film, and the layer insulation film 14 of the 2nd layer is the 2nd-layer metal wiring M2. For example, it consists of W films.

[0043] This 2nd-layer metal wiring M2 1st through hole 15a punctured by the layer insulation film 14 of the 2nd layer is led, and they are the objects MISFETQt1 and Qt2 20 for a transfer. The 1st-layer metal wiring M1 arranged on each drain field It connects.

[0044] Furthermore, the 2nd-layer metal wiring M2 Reference voltage (VSS) is constituted, 1st through hole 15b punctured by the layer insulation film 14 of the 2nd layer is led, and they are the objects MISFETQd1 and Qd2 for a drive. The 1st-layer metal wiring M1 arranged on each source field It connects. Furthermore, the 2nd-layer 25 metal wiring M2 Supply voltage (Vcc) is constituted, 1st through hole 15c punctured by the layer insulation film 14 of th 2nd layer is led, and they are the objects MISFETQp1 and Qp2 for loads. Th 1st-layer metal wiring M1 arranged on each source field It

connects.

[0045] The 2nd-layer [ above-mentioned ] metal wiring M2 The layer insulation film 16 of the 3rd layer is minded, and it is the 3rd-layer metal wiring M3. It is formed. It consists of cascade screens of for example, a silicon-oxide film, SOG (Spin On Glass),

5 and a silicon-oxide film, and the layer insulation film 16 of the 3rd layer is the 3rd-layer metal wiring M3. For example, it consists of aluminium alloy films.

[0046] This 3rd-layer metal wiring M3 This data-line DL and Bar DL lead the 2nd through hole 17 punctured by the layer insulation film 16 of the 3rd layer by constituting data-line DL and Bar DL, and they are the objects MISFETQt1 and Qt2 for a transfer.

10 The 2nd-layer metal wiring M2 arranged on each drain field It connects.

[0047] Next, the manufacture method of the memory cell of the form this operation constituted as mentioned above is explained.

[0048] First, p - After growing up p type epitaxial silicon layer 5 on the semiconductor substrate 1 which consists of type single crystal silicon, the field insulator layer 2 is

15 formed on the principal plane of the semiconductor substrate 1. then, the well-known method — the semiconductor substrate 1 — p type — a well 3 and n type — a well 4 is formed next, p type surrounded by the field insulator layer 2 — a well 3 and n type — the gate insulator layer 7 constituted from a thin silicon-oxide film by each principal plane of a well 4 is formed

20 [0049] Next, MISFETQd1 for a drive MISFETQp1 for loads The common gate electrode FG1 and MISFETQd2 for a drive MISFETQp2 for loads Common gate electrode FG2 And for [ MISFETQt1 and Qt2 ] a transfer The gate electrode FG3 (word line WL) is formed.

25 [0050] The above-mentioned gate electrodes FG1 and FG2 It is the dry etching which reached, and used the pattern (resist pattern) of a photoresist as the mask after the gate electrode FG3 (word line WL) deposited the polycrystal silicon film, tungsten silicide (WSi2) film, and the silicon-oxide film 18 with which Lynn was introduced by

- CVD all over the semiconductor substrate 1 one by one, and they are the silicon-oxide film 18, a polycrystal silicon film, and WSi2. It is formed by processing a film one by one.
- [0051] Next, MISFETQd1 for a drive MISFETQp1 for loads The common gate electrode FG1 and MISFETQd2 for a drive MISFETQp2 for loads Common gate electrode FG2
- 5 And for [ MISFETQt1 and Qt2 ] a transfer The formation method of the above-mentioned resist pattern used in case the gate electrode FG3 (word line WL) is formed is explained below.
- [0052] First, BEKU [ a semiconductor wafer ] after applying uniformly a photoresist film with a thickness of 1–2 micrometers to the front face of a semiconductor wafer by the
- 10 rotation applying method. In addition, although the photoresist material used for manufacture of semiconductor integrated circuit equipment is a negative-mold ultraviolet-rays resist and a positive-type ultraviolet-rays resist, with the form of this operation, a positive-type ultraviolet-rays resist is used for them from high resolution being obtained.
- 15 [0053] Subsequently, 1st mask MG 1 shown in drawing 9 After reaching, setting the above-mentioned semiconductor wafer in an aligner and performing exact alignment, fixed time irradiation (exposure) of the ultraviolet rays (i line) with a wavelength of 0.365 micrometers is carried out, and it is the 1st mask MG 1 to the photoresist film on the above-mentioned semiconductor wafer. The latent image of a mask pattern is formed.
- 20 1st mask MG 1 \*\*\*\* — gate electrodes FG1 and FG2 and the mask pattern with which the gate electrode FG3 (word line WL) was connected altogether forms — having — \*\*\*\* — gate electrodes FG1 and FG2 And the shifter for forming the narrow resist pattern of the gate electrode FG3 (word line WL) on a semiconductor wafer is formed. In addition, as for a shading film and 21, 20 in drawing is [ a shifter and 22 ] mask
- 25 substrate outcrops.
- [0054] Then, 2nd mask MG 2 shown in drawing 10 It sets in an aligner and is the 1st mask MG 1. Fixed time irradiation (exposure) of the ultraviolet rays (i line) with a

wavelength of 0.365 micrometers is carried out similarly, and it is the 2nd mask MG 2 to the photoresist film on the above-mentioned semiconductor wafer. The latent image of a mask pattern is formed.

[0055] Next, after performing a development predetermined time, the rinse in pure water and rotation dryness are performed continuously. The resist pattern of the gate electrodes FG1 and FG2 which have the predetermined configuration shown in drawing 3 by this, and the gate electrode FG3 (word line WL) is formed on a semiconductor wafer.

[0056] It is the 1st mask MG 1 to drawing 11 (a). It is the 2nd mask MG 2 to an important section cross section and (b). Important section cross section, It is the 1st mask MG 1 to (c). The optical intensity (solid line) on the semiconductor wafer at the time of using and exposing, and 2nd mask MG 2 Optical intensity on the semiconductor wafer at the time of using and exposing (dotted line), It is the 1st mask MG 1 to (d). 2nd mask MG 2 By using shows the resist pattern formed on a semiconductor wafer. In addition, 23 in drawing is a mask substrate and 24 is a photoresist film.

[0057] 1st mask MG 1 The latent image according to the optical intensity shown in the solid line of drawing 11 (c) is formed in a photoresist film, and it is the 2nd mask MG 2. The latent image according to the optical intensity shown in the dotted line of drawing 11 (c) is formed in a photoresist film. Therefore, it is the 1st mask MG 1 by the development of the above-mentioned photoresist film after exposure. And 2nd mask MG 2 The photoresist film of the field where strong optical intensity was obtained is removed, and the resist pattern of drawing 11 (d) is formed on a semiconductor wafer.

[0058] Namely, 1st mask MG 1 Gate electrodes FG1 and FG2 shown in drawing 9 And the latent image of the mask pattern with which the gate electrode FG3 (word line WL) was connected is formed in the photoresist film on a semiconductor wafer. However, 2nd mask MG 2 shown in drawing 10 By forming the latent image of a mask pattern (alpha field) in the above-mentioned photoresist film in piles, they are the gate

electrodes FG1 and FG2. And the gate electrode FG3 (word line WL) can form in the above-mentioned photoresist film the latent image separated, respectively.

[0059] Under the present circumstances, gate electrode FG1 The width of face and the gate electrode FG2 of a resist pattern of a drawer electrode The width of face of the 5 resist pattern of a drawer electrode Since it is possible to set it as arbitration, respectively, it is the above-mentioned gate electrode FG1. The width of face and the above-mentioned gate electrode FG2 of a resist pattern of a drawer electrode The width of face of the resist pattern of a drawer electrode Gate electrode FG4 of MISFET of a circumference circuit according to the layout rule It can be made thinner than the 10 width of face of the resist pattern of a drawer electrode.

[0060] next, the ion implantation which used the resist pattern as the mask — p type — a well 3 — n type impurity (P, As) — n type — p type impurity (BF2) is introduced into a well 4 Then, patterning of the silicon-oxide film deposited by the CVD (Chemical Vapor Deposition) method all over the semiconductor substrate 1 is carried out by RIE 15 (Reactive Ion Etching), and it is MISFETQd1 for a drive. MISFETQp1 for loads The common gate electrode FG1 and MISFETQd2 for a drive MISFETQp2 for loads Common gate electrode FG2 And for [ MISFETQt1 and Qt2 ] a transfer The sidewall spacer 19 is formed in each side attachment wall of the gate electrode FG3 (word line WL). subsequently, the ion implantation which used the resist pattern as the mask — p type 20 — a well 3 — n type impurity (P, As) — n type — p type impurity (BF2) is introduced into a well 4

[0061] Next, thermal diffusion of the above-mentioned n type impurity and the p type impurity is carried out, and they are the objects MISFETQd1 and Qd2 for a drive to the principal plane of a well 3 p molds. And for [ MISFETQt1 and Qt2 ] a transfer Each 25 source field, a drain field (n- type semiconductor region 8, n+ type semiconductor region 9) — forming — n type — th principal plane of a well 4 — objects MISFETQp1 and Qp2 for loads Each source field and a drain field (not shown) are formed.

- [0062] Subsequently, the objects MISFETQd1 and Qd2 for a drive, the objects MISFETQp1 and Qp2 for loads, and for [ MISFETQt1 and Qt2 ] a transfer A metal silicide film, for example, a titanium silicide (TiSi2) film, is formed in the front face of each source field and a drain field by the self-having-consistency method.
- 5 [0063] Next, a silicon nitride film 11 and the layer insulation film 12 of the 1st layer are deposited all over the semiconductor substrate 1. This layer insulation film 12 of the 1st layer consists of cascade screens of for example, a silicon-oxide film and a BPSG film. The resist pattern formed on the layer insulation film 12 of the 1st layer is used as a mask, and the layer insulation film 12 and silicon nitride film 11 of the 1st layer are
- 10 \*\*\*\*\*ed one by one. By this, it is MISFETQd1 for a drive. A drain field top and MISFETQd2 for a drive MISFETQp2 for loads Common gate electrode FG2 The same contact hole 13a is formed upwards, and it is MISFETQp1 for loads further. Contact hole 13a is formed on a drain field.
- [0064] Similarly, it is MISFETQp2 for loads. A drain field top and MISFETQd1 for a drive
- 15 MISFETQp1 for loads Common gate electrode FG1 The same contact hole 13b is formed upwards, and it is MISFETQd2 for a drive further. Contact hole 13b is formed on a drain field.
- [0065] Furthermore, for [ MISFETQd1 and Qd2 ] a drive Each source field top and for [ MISFETQp1 and Qp2 ] loads Each source field top and for [ MISFETQt1 and Qt2 ] a
- 20 transfer Contact hole 13c is formed on each drain field.
- [0066] Next, the wiring material (not shown) of the 1st layer is deposited all over the semiconductor substrate 1. This wiring material is constituted by the metal membrane, for example, is W film. Next, patterning of this wiring material is carried out by the dry etching which used the resist pattern as the mask, and it is the 1st-layer metal wiring M1. It forms. By this, it is MISFETQd1 for a drive. A drain field and MISFETQp1 for loads A drain field and MISFETQd2 for a drive MISFETQp2 for loads Common gate electrode FG2 Local wiring L1 which connects It is formed.

- [0067] Similarly, it is MISFETQd2 for a drive. A drain field and MISFETQp2 for loads A drain field and MISFETQd1 for a drive MISFETQp1 for loads Common gate electrode FG1 Local wiring L2 which connects It is formed.
- [0068] Furthermore, for [ MISFETQd1 and Qd2 ] a drive Each source field top and for [ MISFETQp1 and Qp2 ] loads Each source field top and for [ MISFETQt1 and Qt2 ] a transfer It is the 1st-layer metal wiring M1 also in contact hole 13c formed on each drain field. It forms.
- [0069] Next, the layer insulation film 14 of the 2nd layer which consists of a cascade screen which deposited the silicon-oxide film and the BPSG film one by one all over the semiconductor substrate 1 is deposited.
- [0070] Then, the 1st through hole 15a-15c is formed in the layer insulation film 14 of the 2nd layer by the dry etching which used the resist pattern as the mask. 1st through hole 15a is the objects MISFETQt1 and Qt2 for a transfer. It is formed above each drain field and 1st through hole 15b is the objects MISFETQd1 and Qd2 for a drive. It is formed above each source field and 1st through hole 15c is the objects MISFETQp1 and Qp2 for loads. It is formed above each source field.
- [0071] Next, the wiring material (not shown) of the 2nd layer is deposited all over the semiconductor substrate 1. This wiring material is constituted by the metal membrane, for example, is W film. Next, the 2nd-layer metal wiring M2 which carries out patterning of this wiring material by the dry etching which used the resist pattern as the mask, and constitutes supply voltage (Vcc) and reference voltage (Vss) It forms. Furthermore, for [ MISFETQt1 and Qt2 ] a transfer It is the 2nd-layer metal wiring M2 also in 1st through hole 15a formed above each drain field. It forms.
- [0072] Next, the layer insulation film 16 of the 3rd layer which consists of a cascade screen which deposited the silicon-oxide film, the SOG film, and the silicon-oxide film one by one all over the semiconductor substrate 1 is deposited.
- [0073] Then, the 2nd through hole 17 is formed in the layer insulation film 16 of the 3rd

layer by the dry etching which used the resist pattern as the mask. This 2nd through hole 17 is the objects MISFETQt1 and Qt2 for a transfer. It is formed above each drain field.

[0074] Next, the wiring material (not shown) of the 3rd layer is deposited all over the 5 semiconductor substrate 1. This wiring material is constituted by the metal membrane, for example, is an aluminium alloy film. Next, the 3rd-layer metal wiring M3 which carries out patterning of this wiring material by the dry etching which used the resist pattern as the mask, and constitutes data-line DL and Bar DL It forms.

[0075] To the last, it is the 3rd-layer metal wiring M3. The memory cell of the gestalt of 10 this operation is completed by depositing a final passivation film upwards.

[0076] In addition, as the gestalt of this operation showed to drawing 9 , it is the 1st mask MG 1. Formed MISFETQd1 for a drive MISFETQp1 for loads The common gate electrode FG1, MISFETQd2 for a drive MISFETQp2 for loads Common gate electrode FG2 And for [ MISFETQt1 and Qt2 ] a transfer Gate electrode FG3 Although all mask 15 patterns are connected As shown in drawing 12 , it is the gate electrode FG1. A drawer electrode and gate electrode FG2 A drawer electrode, tied Gate electrode FG1 The gate electrode FG3 and gate electrode FG2 Gate electrode FG3 It is the 1st mask MG 1 about the separated mask pattern. You may form.

[0077] under the present circumstances, 2nd mask MG 2 \*\*\* — it is shown in drawing 20 13 — as — gate electrode FG1 A drawer electrode and gate electrode FG2 The pattern (alpha field) for separating a drawer electrode, and 1st mask MG 1 The pattern (beta field) for preventing formation of the excessive resist pattern on the semiconductor wafer by the upper shifter is formed.

[0078] As mentioned above, although invention made by this invention person was 25 concretely explained based on the form of implementation of invention, it cannot be overemphasized by this invention that it can change variously in the range which is not limited to the form of the aforementioned implementation and does not deviate from the

summary.

[0079]

[Effect of the Invention] It will be as follows if the effect acquired by the typical thing among invention indicated by this application is explained briefly.

- 5 [0080] Since width of face of the drawer electrode which the common gate electrode of MISFET for a drive of a couple and MISFET for loads which constitutes the flip-flop circuit of the memory cell of SRAM has can be made thin according to this invention, it becomes possible to reduce the area of the memory cell of SRAM.

10

---

---

\* NOTICES \*

- 15 Japan Patent Office is not responsible for any damages caused by the use of this translation.  
1.This document has been translated by computer. So the translation may not reflect the original precisely.  
2.\*\*\*\* shows the word which can not be translated.
- 20 3.In the drawings, any words are not translated.
- 

DESCRIPTION OF DRAWINGS

---

- 25 [Brief Description of the Drawings]

[Drawing 1] It is the important section plan showing the pattern layout of the memory cell of the conventional SRAM.

- [Drawing 2] It is the representative circuit schematic of the memory cell of SRAM.
- [Drawing 3] It is the important section plan showing the pattern layout of the memory cell of SRAM which is the gestalt of 1 operation of this invention.
- [Drawing 4] It is the important section cross section of the semiconductor substrate in the A-A' line of drawing 3 which shows the memory cell of SRAM which is the gestalt of 1 operation of this invention.
- [Drawing 5] It is the important section cross section of the semiconductor substrate in the B-B' line of drawing 3 which shows the memory cell of SRAM which is the gestalt of 1 operation of this invention. Field view.
- 10 [Drawing 6] It is the important section plan showing the pattern layout of the memory cell of SRAM which is the gestalt of 1 operation of this invention.
- [Drawing 7] It is the important section plan showing the pattern layout of the memory cell of SRAM which is the gestalt of 1 operation of this invention.
- 15 [Drawing 8] It is the important section plan showing the pattern layout of the circumference circuit of SRAM which is the gestalt of 1 operation of this invention.
- [Drawing 9] It is the important section plan of the mask pattern of the 1st mask which is the gestalt of 1 operation of this invention.
- [Drawing 10] It is the important section plan of the mask pattern of the 2nd mask which is the gestalt of 1 operation of this invention.
- 20 [Drawing 11] It is explanatory drawing explaining how to form a latent image in the photoresist film on a semiconductor wafer using the 1st mask and 2nd mask.
- [Drawing 12] It is the important section plan of the mask pattern of the 1st mask which is the gestalt of other operations of this invention.
- [Drawing 13] It is the important section plan of the mask pattern of the 2nd mask which
- 25 is the gestalt of other operations of this invention.

[Description of Notations]

1 Semiconductor Substrate

- 2 Field Insulator Layer**
- 3 It is Well P Molds.**
- 4 It is Well N Molds.**
- 5 P Type Epitaxial Silicon Layer**
- 5 6 Polycide Film**
- 7 Gate Insulator Layer**
- 8 N – Type Semiconductor Region**
- 9 N+ Type Semiconductor Region**
- 10 Metal Silicide Film**
- 10 11 Silicon Nitride Film**
- 12 Layer Insulation Film of 1st Layer**
- 13a Contact hole**
- 13b Contact hole**
- 13c Contact hole**
- 15 13d Contact hole**
- 14 Layer Insulation Film of 2nd Layer**
- 15a The 1st through hole**
- 15b The 1st through hole**
- 15c The 1st through hole**
- 20 16 Layer Insulation Film of 3rd Layer**
- 17 2nd through Hole**
- 18 Silicon–Oxide Film**
- 19 Sidewall Spacer**
- 20 Shading Film**
- 25 21 Shifter**
- 22 Mask Substrat Outcrop**
- 23 Mask Substrate**

## **24 Photoresist Film**

**FG1 -FG4 Gate electrode**

**L1, L2 Partial wiring**

**DL, bar DL Data line**

**5 Qd1, Qd2 MISFET for a drive**

**Qp1, Qp2 MISFET for loads**

**Qt1, Qt2 MISFET for a transfer**

**WL Word line**

**A, B Accumulation node**

**10 Vcc Supply voltage**

**Vss Reference voltage**

**INV1, INV2 CMOS inverter**

**M1 The 1st-layer metal wiring**

**M2 The 2nd-layer metal wiring**

**15 M3 The 3rd-layer metal wiring**

**MG1 The 1st mask**

**MG2 The 2nd mask**



特開平10-163344

(43)公開日 平成10年(1998)6月19日

(51) Int.CI.	識別記号	序内整理番号	F I	技術表示箇所
H01L 21/8244		H01L 27/10	381	
27/11		27/08	321	D
21/8238		29/78	301	C
27/092				
29/78				

審査請求 未請求 請求項の数 7 O L (全13頁)

(21)出願番号	特願平8-325070	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成8年(1996)12月5日	(72)発明者	大塚文雄 東京都青梅市今井2326番地 株式会社 日立製作所デバイス開発センタ内
		(74)代理人	弁理士 筒井 大和

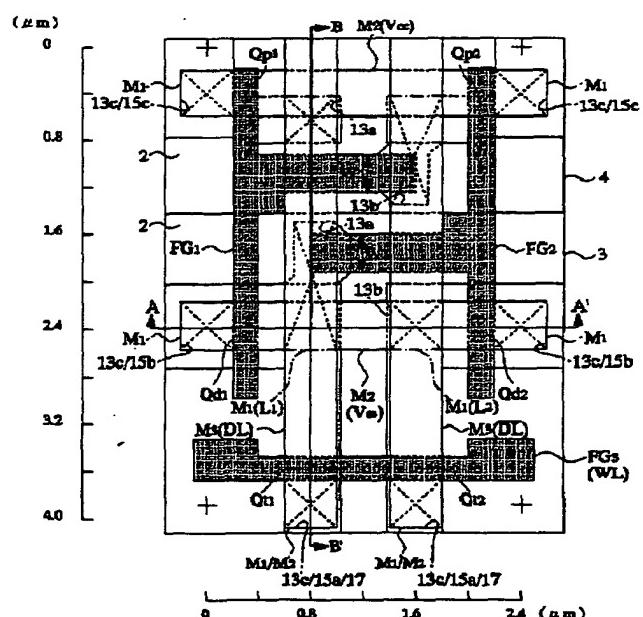
## (54)【発明の名称】半導体集積回路装置およびその製造方法

## (57)【要約】

【課題】SRAMのメモリセルの面積を縮小することができる技術を提供する。

【解決手段】駆動用MISFETQd<sub>1</sub>と負荷用MISFETQp<sub>1</sub>の共通のゲート電極FG<sub>1</sub>、および駆動用MISFETQd<sub>2</sub>と負荷用MISFETQp<sub>2</sub>の共通のゲート電極FG<sub>2</sub>を形成するためのフォトリソグラフィ工程において、ゲート電極FG<sub>1</sub>の引き出し電極とゲート電極FG<sub>2</sub>の引き出し電極とがつながったパターンを有する第1のマスクのパターンの潜像に第2のマスクのパターンの潜像を重ねることによって、上記ゲート電極FG<sub>1</sub>の引き出し電極と上記ゲート電極FG<sub>2</sub>の引き出し電極とが切り離された一対のゲート電極FG<sub>1</sub>、FG<sub>2</sub>のパターンの潜像を半導体ウエハ上のフォトレジスト膜に形成する。

図3



## 【特許請求の範囲】

【請求項 1】 駆動用MISFETおよび負荷用MISFETからなる一対のCMOSインバータで構成されたフリップフロップ回路と、前記フリップフロップ回路の一対の入出力端子に接続された一対の転送用MISFETとでメモリセルが構成され、第1導電膜で前記駆動用MISFETと前記負荷用MISFETの共通の一対のゲート電極および前記転送用MISFETのゲート電極が形成され、前記第1導電膜の上層に形成した第2導電膜で前記一対のCMOSインバータの相互の入出力端子を接続する一対の局所配線が形成されたSRAMを有する半導体集積回路装置であって、前記駆動用MISFETと負荷用MISFETの共通のゲート電極と前記局所配線とを接続するための引き出し電極が一対の前記駆動用MISFETと負荷用MISFETの共通のゲート電極に設けられており、前記引き出し電極の幅は、周辺回路に形成されたMISFETのゲート電極の引き出し電極の幅よりも細いことを特徴とする半導体集積回路装置。

【請求項 2】 請求項1記載の半導体集積回路装置において、一方の駆動用MISFETと一方の負荷用MISFETの共通のゲート電極の引き出し電極と一方の局所配線とを接続するためのコンタクトホールと、他方の負荷用MISFETのドレイン領域と前記一方の局所配線とを接続するためのコンタクトホールは同一であり、他方の駆動用MISFETと前記他方の負荷用MISFETの共通のゲート電極と他方の局所配線とを接続するためのコンタクトホールと、前記一方の駆動用MISFETのドレイン領域と前記他方の局所配線とを接続するためのコンタクトホールは同一であることを特徴とする半導体集積回路装置。

【請求項 3】 請求項1記載の半導体集積回路装置において、一対の前記駆動用MISFETと負荷用MISFETの共通のゲート電極が有する引き出し電極は、前記第1導電膜によって構成されていることを特徴とする半導体集積回路装置。

【請求項 4】 請求項1記載の半導体集積回路装置の製造方法であって、一対の前記駆動用MISFETと負荷用MISFETの共通のゲート電極を形成するリソグラフィ工程において、第1のマスクに形成されたマスクパターンの潜像と、第2のマスクに形成されたマスクパターンの潜像とを半導体ウエハ上のレジスト膜に重ねて形成することによって、所定の形状を有する一対の前記駆動用MISFETと負荷用MISFETの共通のゲート電極のレジストパターンを前記半導体ウエハ上に形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 5】 請求項4記載の半導体集積回路装置の製造方法において、一方の駆動用MISFETと負荷用MISFETの共通のゲート電極の引き出し電極と他方の駆動用MISFETと負荷用MISFETの共通のゲー

ト電極の引き出し電極とがつながったマスクパターンが前記第1のマスクに形成されており、前記第1のマスクに形成された前記一方の駆動用MISFETと負荷用MISFETの共通のゲート電極の引き出し電極と前記他方の駆動用MISFETと負荷用MISFETの共通のゲート電極の引き出し電極とがつながったマスクパターンの潜像と、前記第2のマスクに形成されたマスクパターンの潜像とを前記半導体ウエハ上の前記レジスト膜に重ねて形成することによって、前記一方の駆動用MISFETと負荷用MISFETの共通のゲート電極の引き出し電極と前記他方の駆動用MISFETと負荷用MISFETの共通のゲート電極の引き出し電極とが切り離されたレジストパターンを前記半導体ウエハ上に形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 6】 請求項4記載の半導体集積回路装置の製造方法において、前記第1のマスクは位相シフトマスクであることを特徴とする半導体集積回路装置の製造方法。

【請求項 7】 請求項6記載の半導体集積回路装置の製造方法において、一方の駆動用MISFETと負荷用MISFETの共通のゲート電極の引き出し電極と他方の駆動用MISFETと負荷用MISFETの共通のゲート電極の引き出し電極とがつながったマスクパターンが前記第1のマスクに形成されており、前記第1のマスクに形成された前記一方の駆動用MISFETと負荷用MISFETの共通のゲート電極の引き出し電極と前記他方の駆動用MISFETと負荷用MISFETの共通のゲート電極の引き出し電極とがつながったマスクパターンの潜像と、前記第2のマスクに形成されたマスクパターンの潜像とを前記半導体ウエハ上の前記レジスト膜に重ねて形成することによって、前記一方の駆動用MISFETと負荷用MISFETの共通のゲート電極の引き出し電極と前記他方の駆動用MISFETと負荷用MISFETの共通のゲート電極の引き出し電極とが切り離されたレジストパターンを前記半導体ウエハ上に形成すると共に、前記第1のマスクに設けられたシフタによる不要なパターンを前記半導体ウエハ上に転写しないことを特徴とする半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置およびその製造方法に関し、特に、SRAM(Static Random Access Memory)を有する半導体集積回路装置に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】 半導体記憶装置としてのSRAMは、ワード線と一つの相補性データ線との交差部に、フリップフロップ回路と2個の転送用MISFET(Metal Insulator Semiconductor Field Effect Transistor)とで構成されたメモリセルを備えている。

【0003】SRAMのメモリセルのフリップフロップ回路は、情報蓄積部として構成され、1ビットの情報を記憶する。このメモリセルのフリップフロップ回路は、一例として一対のCMOS(Complementary Metal Oxide Semiconductor)インバータで構成される。CMOSインバータのそれぞれは、nチャネル型の駆動用MISFETとpチャネル型の負荷用MISFETとで構成される。また、転送用MISFETはnチャネル型で構成される。すなわち、このメモリセルは、6個のMISFETを使用した、いわゆる完全CMOS(Full Complementary Metal Oxide Semiconductor)型で構成される。

【0004】フリップフロップ回路を構成する一対のCMOSインバータの相互の入出力端子間は、一対の配線(以下、局所配線という)を介して交差結合される。一方のCMOSインバータの入出力端子には、一方の転送用MISFETのソース領域が接続され、他方のCMOSインバータの入出力端子には、他方の転送用MISFETのソース領域が接続される。一方の転送用MISFETのドレイン領域には相補性データ線の一方が接続され、他方の転送用MISFETのドレイン領域には相補性データ線の他方が接続される。一対の転送用MISFETのそれぞれのゲート電極にはワード線が接続され、このワード線によって転送用MISFETの導通、非導通が制御される。

【0005】なお、この種の完全CMOS型SRAMについては、特開平6-302786号公報、特開平7-99255号公報、特開平8-17944号公報などに記載がある。

#### 【0006】

【発明が解決しようとする課題】しかしながら、半導体記憶装置の大容量化に伴った上記完全CMOS型SRAMのメモリセルの占有面積の縮小を検討するにあたり、本発明者は以下の問題点を見いだした。

【0007】図1に、従来の完全CMOS型SRAMのメモリセルのパターンレイアウトを示す。図示のように、一方のCMOSインバータを構成する駆動用MISFET Qd<sub>d</sub>と負荷用MISFET Qp<sub>d</sub>の共通のゲート電極 FG<sub>d</sub>には、このゲート電極 FG<sub>d</sub>と局所配線 L<sub>d</sub>とを接続するための引き出し電極が形成され、同様に、他方のCMOSインバータを構成する駆動用MISFET Qd<sub>p</sub>と負荷用MISFET Qp<sub>p</sub>の共通のゲート電極 FG<sub>p</sub>には、このゲート電極 FG<sub>p</sub>と局所配線 L<sub>p</sub>とを接続するための引き出し電極が形成されている。

【0008】しかし、フォトリソグラフィ工程での高解像度を確保するためには、上記ゲート電極 FG<sub>d</sub>の引き出し電極の幅(W<sub>d</sub>)および上記ゲート電極 FG<sub>p</sub>の引き出し電極の幅(W<sub>p</sub>)を0.4μm以上、上記ゲート電極 FG<sub>d</sub>の引き出し電極と上記ゲート電極 FG<sub>p</sub>の引き出し電極との間隔(S)を0.4μm以上に設定しなくてはならず、これが完全CMOS型SRAMのメモリセルサイ

ズの縮小を疎外する要因となっている。

【0009】本発明の目的は、SRAMのメモリセルの面積を縮小することのできる技術を提供することにある。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、

(1) 本発明の半導体集積回路装置は、駆動用MISFETおよび負荷用MISFETからなる一対のCMOSインバータで構成されたフリップフロップ回路と、前記フリップフロップ回路の一対の入出力端子に接続された一対の転送用MISFETとでメモリセルが構成され、第1導電膜で前記駆動用MISFETと前記負荷用MISFETの共通の一対のゲート電極および前記転送用MISFETのゲート電極が形成され、前記第1導電膜の上層に形成した第2導電膜で前記一対のCMOSインバータの相互の入出力端子を接続する一対の局所配線が形成されたSRAMを有しており、前記駆動用MISFETと負荷用MISFETの共通のゲート電極と前記局所配線とを接続するための引き出し電極が一対の前記駆動用MISFETと負荷用MISFETの共通のゲート電極に設けられており、前記引き出し電極の幅は、周辺回路に形成されたMISFETのゲート電極の引き出し電極の幅よりも細く形成されている。

【0012】(2) また、本発明の半導体集積回路装置の製造方法は、前記(1)の前記SRAMの一製造工程である一対の前記駆動用MISFETと負荷用MISFETの共通のゲート電極を形成するリソグラフィ工程において、第1のマスクに形成されたマスクパターンの潜像と、第2のマスクに形成されたマスクパターンの潜像とを半導体ウエハ上のレジスト膜に重ねて形成することによって、所定の形状を有する一対の前記駆動用MISFETと負荷用MISFETの共通のゲート電極のレジストパターンを前記半導体ウエハ上に形成するものである。

【0013】上記した手段によれば、第1のマスクのマスクパターンの潜像と第2のマスクのマスクパターンの潜像を半導体ウエハ上のレジスト膜に重ねることによって、第1のマスクのマスクパターンの潜像を修正し、第1のマスクのマスクパターンよりも微細なレジストパターンを半導体ウエハ上に形成することが可能となる。

【0014】すなわち、まず、第1のマスクを用いて、一方の駆動用MISFETと負荷用MISFETの共通のゲート電極の引き出し電極と他方の駆動用MISFETと負荷用MISFETの共通のゲート電極の引き出し電極とがつながったパターンの潜像を半導体ウエハ上の

レジスト膜に形成する。次いで、第2のマスクを用いて、一方の駆動用MISFETと負荷用MISFETの共通のゲート電極の引き出し電極と他方の駆動用MISFETと負荷用MISFETの共通のゲート電極の引き出し電極とを切り離すパターンの潜像を半導体ウエハ上のレジスト膜に形成する。これによって、一方の駆動用MISFETと負荷用MISFETの共通のゲート電極の引き出し電極と他方の駆動用MISFETと負荷用MISFETの共通のゲート電極の引き出し電極とが切り離されたパターンの潜像が半導体ウエハ上のレジスト膜に形成され、一対の駆動用MISFETと負荷用MISFETの共通のゲート電極のレジストパターンが半導体ウエハ上に形成される。

【0015】この際、一対の駆動用MISFETと負荷用MISFETの共通のゲート電極が有する引き出し電極のレジストパターンの幅は任意に設定することができる、一対の駆動用MISFETと負荷用MISFETの共通のゲート電極が有する引き出し電極のレジストパターンの幅を周辺回路に形成するMISFETのゲート電極のレイアウトルールに従った引き出し電極のレジストパターンの幅よりも細くすることが可能となる。

#### 【0016】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0017】なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0018】図2は本実施の形態のSRAMのメモリセルの等価回路図である。図示のように、本実施の形態のSRAMのメモリセルは、一対の相補性データ線（データ線DL、データ線バーDL）とワード線WLとの交差部に配置された一対の駆動用MISFETQd<sub>1</sub>、Qd<sub>2</sub>、一対の負荷用MISFETQp<sub>1</sub>、Qp<sub>2</sub>および一対の転送用MISFETQt<sub>1</sub>、Qt<sub>2</sub>で構成されている。駆動用MISFETQd<sub>1</sub>、Qd<sub>2</sub>および転送用Qt<sub>1</sub>、Qt<sub>2</sub>はnチャネル型で構成され、負荷用MISFETQp<sub>1</sub>、Qp<sub>2</sub>はpチャネル型で構成されている。すなわち、このメモリセルは、4個のnチャネル型MISFETと2個のpチャネル型MISFETを使った完全CMOS型で構成されている。

【0019】上記メモリセルを構成する6個のMISFETのうち、駆動用MISFETQd<sub>1</sub>と負荷用MISFETQp<sub>1</sub>とはCMOSインバータ(INV<sub>1</sub>)を成し、駆動用MISFETQd<sub>2</sub>と負荷用MISFETQp<sub>2</sub>とはCMOSインバータ(INV<sub>2</sub>)を成している。この一対のCMOSインバータ(INV<sub>1</sub>、INV<sub>2</sub>)の相互の入出力端子（蓄積ノードA、B）間は、一対の局所配線L<sub>1</sub>、L<sub>2</sub>を介して交差結合し、1ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を成している。

【0020】上記フリップフロップ回路の一方の入出力端子（蓄積ノードA）は転送用MISFETQt<sub>1</sub>のソース領域に接続され、他方の入出力端子（蓄積ノードB）は転送用MISFETQt<sub>2</sub>のソース領域に接続されている。転送用MISFETQt<sub>1</sub>のドレイン領域はデータ線DLに接続され、転送用MISFETQt<sub>2</sub>のドレイン領域はデータ線バーDLに接続されている。

【0021】また、フリップフロップ回路の一端（負荷用MISFETQt<sub>1</sub>、Qt<sub>2</sub>のそれぞれのソース領域）は電源電圧(Vcc)に接続され、他端（駆動用MISFETQd<sub>1</sub>、Qd<sub>2</sub>のそれぞれのソース領域）は基準電圧(Vss)に接続されている。電源電圧(Vcc)は、例えば5Vであり、基準電圧(Vss)は、例えば0V(GND電圧)である。

【0022】上記回路の動作を説明すると、一方のCMOSインバータ(INV<sub>1</sub>)の蓄積ノードAが高電位("H")であるときは、駆動用MISFETQd<sub>1</sub>がONになるので、他方のCMOSインバータ(INV<sub>2</sub>)の蓄積ノードBが低電位("L")になる。従って、駆動用MISFETQt<sub>1</sub>がOFFになり、蓄積ノードAの高電位("H")が保持される。すなわち、一対のCMOSインバータ(INV<sub>1</sub>、INV<sub>2</sub>)を交差結合させたラッチ回路によって相互の蓄積ノードA、Bの状態が保持され、電源電圧が印加されている間、情報が保持される。

【0023】転送用MISFETQt<sub>1</sub>、Qt<sub>2</sub>のそれぞれのゲート電極にはワード線WLが接続され、このワード線WLによって転送用MISFETQt<sub>1</sub>、Qt<sub>2</sub>の導通、非導通が制御される。すなわち、ワード線WLが高電位("H")であるときは、転送用MISFETQt<sub>1</sub>、Qt<sub>2</sub>がONになり、ラッチ回路と相補性データ線（データ線DL、バーDL）とが電気的に接続されるので、蓄積ノードA、Bの電位状態("H"または"L")がデータ線DL、バーDLに現れ、メモリセルの情報として読み出される。

【0024】メモリセルに情報を書き込むには、ワード配線WLを"H"電位レベル、転送用MISFETQt<sub>1</sub>、Qt<sub>2</sub>をON状態にしてデータ線DL、バーDLの情報を蓄積ノードA、Bに伝達する。また、メモリセルの情報を読み出すには、同じくワード線WLを"H"電位レベル、転送用MISFETQt<sub>1</sub>、Qt<sub>2</sub>をON状態にした蓄積ノードA、Bの情報をデータ線DL、バーDLに伝達する。

【0025】次に、上記メモリセルの具体的な構成を図3（メモリセルの略1個分を示す半導体基板の平面図）、図4（図3のA-A'線における半導体基板の断面図）および図5（図3のB-B'線における半導体基板の断面図）を用いて説明する。なお、製造過程におけるメモリセルの略1個分を示す半導体基板の平面図を図6および図7に示す。

【0026】図3～図5に示すように、メモリセルを構

成する 6 個の MISFET は、 $p^-$  型半導体基板 1 のフィールド絶縁膜 2 で周囲を囲まれた活性領域に形成されている。 $n$  チャネル型で構成される駆動用 MISFET Qd<sub>1</sub>, Qd<sub>2</sub> および転送用 MISFET Qt<sub>1</sub>, Qt<sub>2</sub> のそれぞれは  $p$  型ウエル 3 の活性領域に形成され、 $p$  チャネル型で構成される負荷用 MISFET Qp<sub>1</sub>, Qp<sub>2</sub> は  $n$  型ウエル 4 の活性領域に形成されている。 $p$  型ウエル 3,  $n$  型ウエル 4 のそれぞれは、半導体基板 1 上に形成された  $p$  型エピタキシャルシリコン層 5 の正面に形成されている。

【0027】転送用 MISFET Qt<sub>1</sub>, Qt<sub>2</sub> は、ワード線 WL と一緒に構成されたゲート電極 FG<sub>1</sub> を有している。このゲート電極 FG<sub>1</sub> (ワード線 WL) は、多結晶シリコン膜と高融点金属シリサイド膜とを積層したポリサイド膜 6 で構成され、酸化シリコン膜で構成されたゲート絶縁膜 7 の上に形成されている。

【0028】上記転送用 MISFET Qt<sub>1</sub>, Qt<sub>2</sub> のそれぞれのソース領域、ドレイン領域は、 $p$  型ウエル 3 の活性領域に形成された低不純物濃度の  $n^-$  型半導体領域 8 および高不純物濃度の  $n^+$  型半導体領域 9 で構成されている。すなわち、転送用 MISFET Qt<sub>1</sub>, Qt<sub>2</sub> のそれぞれのソース領域、ドレイン領域は、LDD 構造で構成されている。

【0029】フリップフロップ回路の一方の CMOS インバータを構成する駆動用 MISFET Qd<sub>1</sub> と負荷用 MISFET Qp<sub>1</sub> は、共通のゲート電極 FG<sub>2</sub> を有しており、他方の CMOS インバータを構成する駆動用 MISFET Qd<sub>2</sub> と負荷用 MISFET Qp<sub>2</sub> は、共通のゲート電極 FG<sub>3</sub> を有している (図 6)。

【0030】これらゲート電極 FG<sub>1</sub>, FG<sub>2</sub> は、上記転送用 MISFET Qt<sub>1</sub>, Qt<sub>2</sub> のゲート電極 FG<sub>1</sub> (ワード線 WL) と同じポリサイド膜 6 で構成され、ゲート絶縁膜 7 の上に形成されている。なお、ゲート電極 FG<sub>1</sub>, FG<sub>2</sub> およびゲート電極 FG<sub>3</sub> (ワード線 WL) を構成するポリサイド膜 6 の下部の多結晶シリコン膜には、 $n$  型の不純物 (例えばリン) が導入されている。

【0031】駆動用 MISFET Qd<sub>1</sub>, Qd<sub>2</sub> のそれぞれのソース領域、ドレイン領域は、 $p$  型ウエル 3 の活性領域に形成された低不純物濃度の  $n^-$  型半導体領域 8 および高不純物濃度の  $n^+$  型半導体領域 9 で構成されている。すなわち、駆動用 MISFET Qd<sub>1</sub>, Qd<sub>2</sub> のそれぞれのソース領域、ドレイン領域は、LDD 構造で構成されている。

【0032】また、負荷用 MISFET Qp<sub>1</sub>, Qp<sub>2</sub> のそれぞれのソース領域、ドレイン領域は、 $n$  型ウエル 4 の活性領域に形成された低不純物濃度の  $p^-$  型半導体領域 (図示せず) および高不純物濃度の  $p^+$  型半導体領域 (図示せず) で構成されている。すなわち、負荷用 MISFET Qp<sub>1</sub>, Qp<sub>2</sub> のそれぞれのソース領域、ドレイン領域は、LDD 構造で構成されている。

【0033】なお、駆動用 MISFET Qd<sub>1</sub>, Qd<sub>2</sub> 、負荷用 MISFET Qp<sub>1</sub>, Qp<sub>2</sub> および転送用 MISFET Qt<sub>1</sub>, Qt<sub>2</sub> のそれぞれのソース領域、ドレイン領域の上部には、低抵抗化のためのメタルシリサイド膜 10 が形成されている。メタルシリサイド膜 10 は、例えばチタンシリサイド (TiSi<sub>x</sub>) 膜で構成されている。

【0034】駆動用 MISFET Qd<sub>1</sub> と負荷用 MISFET Qp<sub>1</sub> の共通のゲート電極 FG<sub>1</sub> は、このゲート電極 FG<sub>1</sub> と第 1 層目のメタル配線 M<sub>1</sub> によって構成される局所配線 L<sub>1</sub> とを接続するための引き出し電極を有しており、駆動用 MISFET Qd<sub>2</sub> と負荷用 MISFET Qp<sub>2</sub> の共通のゲート電極 FG<sub>2</sub> は、このゲート電極 FG<sub>2</sub> と第 1 層目のメタル配線 M<sub>1</sub> によって構成される局所配線 L<sub>2</sub> とを接続するための引き出し電極を有している。

【0035】ところで、周辺回路を構成する MISFET のゲート電極 FG<sub>1</sub> も、このゲート電極 FG<sub>1</sub> と第 1 層目のメタル配線 M<sub>1</sub> とを接続するための引き出し電極を有している (図 8)。しかしながら、駆動用 MISFET Qd<sub>1</sub> と負荷用 MISFET Qp<sub>1</sub> の共通のゲート電極 FG<sub>1</sub> の引き出し電極の幅 (W<sub>1</sub>) は、レイアウトルールに従った周辺回路の MISFET のゲート電極 FG<sub>1</sub> の引き出し電極の幅 (W<sub>1</sub>) よりも細く形成されており、同様に、駆動用 MISFET Qd<sub>2</sub> と負荷用 MISFET Qp<sub>2</sub> の共通のゲート電極 FG<sub>2</sub> の引き出し電極の幅 (W<sub>2</sub>) は、レイayoutルールに従った周辺回路の MISFET のゲート電極 FG<sub>2</sub> の引き出し電極の幅 (W<sub>2</sub>) よりも細く形成されている。

【0036】駆動用 MISFET Qd<sub>1</sub> と負荷用 MISFET Qp<sub>1</sub> の共通のゲート電極 FG<sub>1</sub> 、駆動用 MISFET Qd<sub>2</sub> と負荷用 MISFET Qp<sub>2</sub> の共通のゲート電極 FG<sub>2</sub> および転送用 MISFET Qt<sub>1</sub>, Qt<sub>2</sub> のゲート電極 FG<sub>3</sub> (ワード線 WL) の上層には空化シリコン膜 11 および第 1 層目の層間絶縁膜 12 が形成されている。この第 1 層目の層間絶縁膜 12 上には第 1 層目のメタル配線 M<sub>1</sub> が形成されており、第 1 層目のメタル配線 M<sub>1</sub> によって局所配線 L<sub>1</sub>, L<sub>2</sub> は構成されている (図 7)。第 1 層目の層間絶縁膜 12 は、例えば酸化シリコン膜と BPSG (Boron Phospho Silicate Glass) 膜との積層膜で構成され、第 1 層目のメタル配線 M<sub>1</sub> は、例えばタンクステン (W) 膜で構成されている。

【0037】局所配線 L<sub>1</sub> は第 1 層目の層間絶縁膜 12 に開孔されたコンタクトホール 13a を通じて、駆動用 MISFET Qd<sub>1</sub> および負荷用 MISFET Qp<sub>1</sub> のそれぞれのドレイン領域、ならびに駆動用 MISFET Qd<sub>2</sub> と負荷用 MISFET Qp<sub>2</sub> の共通のゲート電極 FG<sub>1</sub> に接続されている。同様に、局所配線 L<sub>2</sub> は第 1 層目の層間絶縁膜 12 に開孔されたコンタクトホール 13b を通じて、駆動用 MISFET Qd<sub>2</sub> および負荷用 MISFET Qp<sub>2</sub> のそれぞれのドレイン領域、ならび

に駆動用M I S F E T Q d<sub>1</sub> と負荷用M I S F E T Q p<sub>1</sub> の共通のゲート電極F G<sub>1</sub> に接続されている。

【0038】従って、上記第1層目の層間絶縁膜12 上に形成される第1層目のメタル配線M<sub>1</sub> によって、駆動用M I S F E T Q d<sub>1</sub> のドレイン領域、負荷用M I S F E T Q p<sub>1</sub> のドレイン領域、駆動用M I S F E T Q d<sub>1</sub> と負荷用M I S F E T Q p<sub>1</sub> の共通のゲート電極F G<sub>1</sub> および転送用M I S F E T Q t<sub>1</sub> のソース領域が電気的に接続される。

【0039】同様に、第1層目のメタル配線M<sub>1</sub> によって、駆動用M I S F E T Q d<sub>1</sub> のドレイン領域、負荷用M I S F E T Q p<sub>1</sub> のドレイン領域、駆動用M I S F E T Q d<sub>1</sub> と負荷用M I S F E T Q p<sub>1</sub> の共通のゲート電極F G<sub>1</sub> および転送用M I S F E T Q t<sub>1</sub> のソース領域が電気的に接続される。

【0040】なお、駆動用M I S F E T Q d<sub>1</sub> と負荷用M I S F E T Q p<sub>1</sub> の共通のゲート電極F G<sub>1</sub> の引き出し電極上と負荷用M I S F E T Q p<sub>1</sub> のドレイン領域上には、同一のコンタクトホール13b が形成されており、駆動用M I S F E T Q d<sub>1</sub> と負荷用M I S F E T Q p<sub>1</sub> の共通のゲート電極F G<sub>1</sub> の引き出し電極上と駆動用M I S F E T Q d<sub>1</sub> のドレイン領域上には、同一のコンタクトホール13a が形成されている。

【0041】さらに、第1層目の層間絶縁膜12 に開孔されたコンタクトホール13c を通じて、第1層目のメタル配線M<sub>1</sub> は駆動用M I S F E T Q d<sub>1</sub>, Q d<sub>1</sub> のそれぞれのソース領域、負荷用M I S F E T Q p<sub>1</sub>, Q p<sub>1</sub> のそれぞれのソース領域および転送用M I S F E T Q t<sub>1</sub>, Q t<sub>1</sub> のそれぞれのドレイン領域に接続されている。

【0042】上記第1層目のメタル配線M<sub>1</sub> の上層には、第2層目の層間絶縁膜14 を介して第2層目のメタル配線M<sub>2</sub> が形成されている。第2層目の層間絶縁膜14 は、例えば酸化シリコン膜とB P S G 膜との積層膜で構成され、第2層目のメタル配線M<sub>2</sub> は、例えばW膜で構成されている。

【0043】この第2層目のメタル配線M<sub>2</sub> は、第2層目の層間絶縁膜14 に開孔された第1のスルーホール15a を通じて転送用M I S F E T Q t<sub>1</sub>, Q t<sub>1</sub> のそれぞれのドレイン領域上に配置された第1層目のメタル配線M<sub>1</sub> に接続されている。

【0044】さらに、第2層目のメタル配線M<sub>2</sub> は、基準電圧(V<sub>ss</sub>)を構成しており、第2層目の層間絶縁膜14 に開孔された第1のスルーホール15b を通じて駆動用M I S F E T Q d<sub>1</sub>, Q d<sub>1</sub> のそれぞれのソース領域上に配置された第1層目のメタル配線M<sub>1</sub> に接続されている。さらに、第2層目のメタル配線M<sub>2</sub> は、電源電圧(V<sub>cc</sub>)を成しており、第2層目の層間絶縁膜14 に開孔された第1のスルーホール15c を通じて負荷用M I S F E T Q p<sub>1</sub>, Q p<sub>1</sub> のそれぞれのソース領域上に配置された第1層目のメタル配線M<sub>1</sub> に接続されている。

【0045】上記第2層目のメタル配線M<sub>2</sub> の上層には、第3層目の層間絶縁膜16 を介して第3層目のメタル配線M<sub>3</sub> が形成されている。第3層目の層間絶縁膜16 は、例えば酸化シリコン膜、S O G (Spin On Glass) および酸化シリコン膜の積層膜で構成され、第3層目のメタル配線M<sub>3</sub> は、例えばアルミニウム合金膜で構成されている。

【0046】この第3層目のメタル配線M<sub>3</sub> は、データ線D L, バードL を構成しており、このデータ線D L,

10 バードL は、第3層目の層間絶縁膜16 に開孔された第2のスルーホール17 を通じて転送用M I S F E T Q t<sub>1</sub>, Q t<sub>1</sub> のそれぞれのドレイン領域上に配置された第2層目のメタル配線M<sub>2</sub> に接続されている。

【0047】次に、上記のように構成された本実施の形態のメモリセルの製造方法を説明する。

【0048】まず、p型単結晶シリコンからなる半導体基板1 の上にp型エピタキシャルシリコン層5 を成長させた後、半導体基板1 の主面上にフィールド絶縁膜2 を形成する。統いて、周知の方法で、半導体基板1 にp

20 型ウエル3 およびn型ウエル4 を形成する。次に、フィールド絶縁膜2 で囲まれたp型ウエル3 およびn型ウエル4 のそれぞれの正面に薄い酸化シリコン膜で構成されたゲート絶縁膜7 を形成する。

【0049】次に、駆動用M I S F E T Q d<sub>1</sub> と負荷用M I S F E T Q p<sub>1</sub> の共通のゲート電極F G<sub>1</sub> 、駆動用M I S F E T Q d<sub>1</sub> と負荷用M I S F E T Q p<sub>1</sub> の共通のゲート電極F G<sub>1</sub> および転送用M I S F E T Q t<sub>1</sub>, Q t<sub>1</sub> のゲート電極F G<sub>1</sub> (ワード線WL) を形成する。

【0050】上記ゲート電極F G<sub>1</sub>, F G<sub>1</sub> およびゲート電極F G<sub>1</sub> (ワード線WL) は、半導体基板1 の全面にC V D 法でリンが導入された多結晶シリコン膜、タンゲステンシリサイド(W S i<sub>1</sub>)膜および酸化シリコン膜18 を順次堆積した後、フォトレジストのバターン(レジストバターン)をマスクにしたドライエッティングで、酸化シリコン膜18、多結晶シリコン膜およびW S i<sub>1</sub> 膜を順次加工することによって形成される。

【0051】次に、駆動用M I S F E T Q d<sub>1</sub> と負荷用M I S F E T Q p<sub>1</sub> の共通のゲート電極F G<sub>1</sub> 、駆動用M I S F E T Q d<sub>1</sub> と負荷用M I S F E T Q p<sub>1</sub> の共通40 のゲート電極F G<sub>1</sub> および転送用M I S F E T Q t<sub>1</sub>, Q t<sub>1</sub> のゲート電極F G<sub>1</sub> (ワード線WL) を形成する際に用いる上記レジストバターンの形成方法を以下に説明する。

【0052】まず、半導体ウエハの表面に回転塗布法によって、1~2 μmの厚さのフォトレジスト膜を均一に塗布した後、半導体ウエハをベークする。なお、半導体集積回路装置の製造に用いられているフォトレジスト材料は、ネガ型紫外線レジストとポジ型紫外線レジストであるが、高解像度が得られることから、本実施の形態ではポジ型紫外線レジストを用いる。

【0053】次いで、図9に示す第1のマスクMG<sub>1</sub>および上記半導体ウエハを露光装置にセットし、正確な位置合わせを行った後、例えば波長0.365μmの紫外線(i線)を一定時間照射(露光)して上記半導体ウエハ上のフォトトレジスト膜に第1のマスクMG<sub>1</sub>のマスクパターンの潜像を形成する。第1のマスクMG<sub>1</sub>には、ゲート電極FG<sub>11</sub>, FG<sub>12</sub>およびゲート電極FG<sub>13</sub>(ワード線WL)が全てつながったマスクパターンが形成されており、ゲート電極FG<sub>11</sub>, FG<sub>12</sub>およびゲート電極FG<sub>13</sub>(ワード線WL)の細いレジストパターンを半導体ウエハ上に形成するためのシフタが形成されている。なお、図中の20は遮光膜、21はシフタ、22はマスク基板露出部である。

【0054】続いて、図10に示す第2のマスクMG<sub>2</sub>を露光装置にセットし、第1のマスクMG<sub>1</sub>と同様に、例えば波長0.365μmの紫外線(i線)を一定時間照射(露光)して上記半導体ウエハ上のフォトトレジスト膜に第2のマスクMG<sub>2</sub>のマスクパターンの潜像を形成する。

【0055】次に、現像処理を所定の時間行った後、純水でのリーンス、回転乾燥を連続的に行う。これによって、図3に示した所定の形状を有するゲート電極FG<sub>11</sub>, FG<sub>12</sub>およびゲート電極FG<sub>13</sub>(ワード線WL)のレジストパターンが半導体ウエハ上に形成される。

【0056】図11(a)に第1のマスクMG<sub>1</sub>の要部断面図、(b)に第2のマスクMG<sub>2</sub>の要部断面図、(c)に第1のマスクMG<sub>1</sub>を用いて露光した際の半導体ウエハ上での光強度(実線)と第2のマスクMG<sub>2</sub>を用いて露光した際の半導体ウエハ上での光強度(点線)、(d)に第1のマスクMG<sub>1</sub>と第2のマスクMG<sub>2</sub>を用いることによって半導体ウエハ上に形成されるレジストパターンを示す。なお、図中の23はマスク基板、24はフォトトレジスト膜である。

【0057】第1のマスクMG<sub>1</sub>によって、図11(c)の実線に示す光強度に従った潜像がフォトトレジスト膜に形成され、第2のマスクMG<sub>2</sub>によって、図11(c)の点線に示す光強度に従った潜像がフォトトレジスト膜に形成される。従って、露光後の上記フォトトレジスト膜の現像処理によって、第1のマスクMG<sub>1</sub>および第2のマスクMG<sub>2</sub>で強い光強度が得られた領域のフォトトレジスト膜が除去され、図11(d)のレジストパターンが半導体ウエハ上に形成される。

【0058】すなわち、第1のマスクMG<sub>1</sub>だけでは、図9に示したゲート電極FG<sub>11</sub>, FG<sub>12</sub>およびゲート電極FG<sub>13</sub>(ワード線WL)がつながったマスクパターンの潜像が半導体ウエハ上のフォトトレジスト膜に形成される。しかし、図10に示した第2のマスクMG<sub>2</sub>のマスクパターン(α領域)の潜像を上記フォトトレジスト膜に重ねて形成することによって、ゲート電極FG<sub>11</sub>, FG<sub>12</sub>およびゲート電極FG<sub>13</sub>(ワード線WL)がそれぞれ切り離さ

れた潜像を上記フォトトレジスト膜に形成することができる。

【0059】この際、ゲート電極FG<sub>11</sub>の引き出し電極のレジストパターンの幅とゲート電極FG<sub>12</sub>の引き出し電極のレジストパターンの幅は、それぞれ任意に設定することができるるので、上記ゲート電極FG<sub>11</sub>の引き出し電極のレジストパターンの幅および上記ゲート電極FG<sub>12</sub>の引き出し電極のレジストパターンの幅を、レイアウトルールに従った周辺回路のMISFETのゲート電極FG<sub>11</sub>の引き出し電極のレジストパターンの幅よりも細くすることができる。

【0060】次に、レジストパターンをマスクにしたイオン注入によりp型ウエル3にn型不純物(P, As)を、n型ウエル4にp型不純物(BF<sub>3</sub>)を導入する。その後、半導体基板1の全面にCVD(Chemical Vapor Deposition)法で堆積した酸化シリコン膜をRIE(Reactive Ion Etching)によってバーニングして、駆動用MISFETQd<sub>1</sub>と負荷用MISFETQp<sub>1</sub>の共通のゲート電極FG<sub>11</sub>、駆動用MISFETQd<sub>2</sub>と負荷用MISFETQp<sub>2</sub>の共通のゲート電極FG<sub>12</sub>および転送用MISFETQt<sub>1</sub>, Qt<sub>2</sub>のゲート電極FG<sub>13</sub>(ワード線WL)のそれぞれの側壁にサイドウォールスペーサ19を形成する。次いで、レジストパターンをマスクにしたイオン注入によりp型ウエル3にn型不純物(P, As)を、n型ウエル4にp型不純物(BF<sub>3</sub>)を導入する。

【0061】次に、上記n型不純物およびp型不純物を熱拡散して、p型ウエル3の正面に駆動用MISFETQd<sub>1</sub>, Qd<sub>2</sub>および転送用MISFETQt<sub>1</sub>, Qt<sub>2</sub>のそれぞれのソース領域、ドレイン領域(n<sup>-</sup>型半導体領域8、n<sup>+</sup>型半導体領域9)を形成し、n型ウエル4の正面に負荷用MISFETQp<sub>1</sub>, Qp<sub>2</sub>のそれぞれのソース領域、ドレイン領域(図示せず)を形成する。

【0062】次いで、駆動用MISFETQd<sub>1</sub>, Qd<sub>2</sub>、負荷用MISFETQp<sub>1</sub>, Qp<sub>2</sub>および転送用MISFETQt<sub>1</sub>, Qt<sub>2</sub>のそれぞれのソース領域、ドレイン領域の表面に自己整合法によってメタルシリサイド膜、例えばチタンシリサイド(TiSi)膜を形成する。

【0063】次に、半導体基板1の全面に空化シリコン膜11および第1層目の層間絶縁膜12を堆積する。この第1層目の層間絶縁膜12は、例えば酸化シリコン膜とBPSG膜との積層膜で構成されている。第1層目の層間絶縁膜12上に形成したレジストパターンをマスクにして、第1層目の層間絶縁膜12および空化シリコン膜11を順次エッチングする。これによって、駆動用MISFETQd<sub>1</sub>のドレイン領域上および駆動用MISFETQd<sub>2</sub>と負荷用MISFETQp<sub>1</sub>の共通のゲート電極FG<sub>11</sub>上に同一のコンタクトホール13aを形成し、さらに、負荷用MISFETQp<sub>2</sub>のドレイン領域

上にコンタクトホール13aを形成する。

【0064】同様に、負荷用MISFETQ<sub>p</sub>のドレン領域上および駆動用MISFETQ<sub>d</sub>と負荷用MISFETQ<sub>p</sub>の共通のゲート電極FG<sub>1</sub>上に同一のコンタクトホール13bを形成し、さらに、駆動用MISFETQ<sub>d</sub>のドレン領域上にコンタクトホール13bを形成する。

【0065】さらに、駆動用MISFETQ<sub>d1</sub>, Q<sub>d</sub>のそれぞれのソース領域上、負荷用MISFETQ<sub>p1</sub>, Q<sub>p</sub>のそれぞれのソース領域上および転送用MISFETQ<sub>t1</sub>, Q<sub>t</sub>のそれぞれのドレン領域上にコンタクトホール13cを形成する。

【0066】次に、半導体基板1の全面に第1層目の配線材(図示せず)を堆積する。この配線材は金属膜によって構成されており、例えばW膜である。次に、レジストパターンをマスクにしたドライエッチングでこの配線材をバーニングして、第1層目のメタル配線M<sub>1</sub>を形成する。これによって、駆動用MISFETQ<sub>d</sub>のドレン領域、負荷用MISFETQ<sub>p</sub>のドレン領域、駆動用MISFETQ<sub>d</sub>と負荷用MISFETQ<sub>p</sub>の共通のゲート電極FG<sub>1</sub>を接続する局部配線L<sub>1</sub>が形成される。

【0067】同様に、駆動用MISFETQ<sub>d</sub>のドレン領域、負荷用MISFETQ<sub>p</sub>のドレン領域、駆動用MISFETQ<sub>d</sub>と負荷用MISFETQ<sub>p</sub>の共通のゲート電極FG<sub>1</sub>を接続する局部配線L<sub>1</sub>が形成される。

【0068】さらに、駆動用MISFETQ<sub>d1</sub>, Q<sub>d</sub>のそれぞれのソース領域上、負荷用MISFETQ<sub>p1</sub>, Q<sub>p</sub>のそれぞれのソース領域上、および転送用MISFETQ<sub>t1</sub>, Q<sub>t</sub>のそれぞれのドレン領域上に形成されたコンタクトホール13c内にも第1層目のメタル配線M<sub>1</sub>を形成する。

【0069】次に、半導体基板1の全面に酸化シリコン膜およびBPSG膜を順次堆積した積層膜からなる第2層目の層間絶縁膜14を堆積する。

【0070】その後、レジストパターンをマスクにしたドライエッチングで第2層目の層間絶縁膜14に第1のスルーホール15a～15cを形成する。第1のスルーホール15aは、転送用MISFETQ<sub>t1</sub>, Q<sub>t</sub>のそれぞれのドレン領域の上方に形成され、第1のスルーホール15bは駆動用MISFETQ<sub>d1</sub>, Q<sub>d</sub>のそれぞれのソース領域の上方に形成され、第1のスルーホール15cは負荷用MISFETQ<sub>p1</sub>, Q<sub>p</sub>のそれぞれのソース領域の上方に形成される。

【0071】次に、半導体基板1の全面に第2層目の配線材(図示せず)を堆積する。この配線材は金属膜によって成されており、例えばW膜である。次に、レジストパターンをマスクにしたドライエッチングでこの配線材をバーニングして、電源電圧(Vcc)、基準電圧

(V<sub>ss</sub>)を構成する第2層目のメタル配線M<sub>2</sub>を形成する。さらに、転送用MISFETQ<sub>t1</sub>, Q<sub>t</sub>のそれぞれのドレン領域の上方に形成された第1のスルーホール15a内にも第2層目のメタル配線M<sub>2</sub>を形成する。

【0072】次に、半導体基板1の全面に酸化シリコン膜、SOG膜、酸化シリコン膜を順次堆積した積層膜からなる第3層目の層間絶縁膜16を堆積する。

【0073】その後、レジストパターンをマスクにしたドライエッチングで第3層目の層間絶縁膜16に第2のスルーホール17を形成する。この第2のスルーホール17は、転送用MISFETQ<sub>t1</sub>, Q<sub>t</sub>のそれぞれのドレン領域の上方に形成される。

【0074】次に、半導体基板1の全面に第3層目の配線材(図示せず)を堆積する。この配線材は金属膜によって構成されており、例えばアルミニウム合金膜である。次に、レジストパターンをマスクにしたドライエッチングでこの配線材をバーニングして、データ線D<sub>L</sub>、バーD<sub>L</sub>を構成する第3層目のメタル配線M<sub>3</sub>を形成する。

【0075】最後に、第3層目のメタル配線M<sub>3</sub>上にファイナルバシベーション膜を堆積することにより、本実施の形態のメモリセルが完成する。

【0076】なお、本実施の形態では、図9に示したように、第1のマスクMG<sub>1</sub>に形成された駆動用MISFETQ<sub>d</sub>と負荷用MISFETQ<sub>p</sub>の共通のゲート電極FG<sub>1</sub>、駆動用MISFETQ<sub>d</sub>と負荷用MISFETQ<sub>p</sub>の共通のゲート電極FG<sub>1</sub>および転送用MISFETQ<sub>t1</sub>, Q<sub>t</sub>のゲート電極FG<sub>1</sub>のマスクパターンは、全てつながっているが、図12に示すように、ゲート電極FG<sub>1</sub>の引き出し電極とゲート電極FG<sub>1</sub>の引き出し電極はつないだままで、ゲート電極FG<sub>1</sub>とゲート電極FG<sub>1</sub>、ゲート電極FG<sub>1</sub>とゲート電極FG<sub>1</sub>とを切り離したマスクパターンを第1のマスクMG<sub>1</sub>に形成してもよい。

【0077】この際、第2のマスクMG<sub>2</sub>には、図13に示すように、ゲート電極FG<sub>1</sub>の引き出し電極とゲート電極FG<sub>1</sub>の引き出し電極とを切り離すためのパターン(α領域)と、第1のマスクMG<sub>1</sub>上のシフタによる半導体ウエハ上の余分なレジストパターンの形成を防ぐためのパターン(β領域)が形成されている。

【0078】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0079】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0080】本発明によれば、SRAMのメモリセルの

フリップフロップ回路を構成する一対の駆動用MISFETと負荷用MISFETの共通のゲート電極が有する引き出し電極の幅を細くすることができるので、SRAMのメモリセルの面積を縮小することが可能となる。

【図面の簡単な説明】

【図1】従来のSRAMのメモリセルのバターンレイアウトを示す要部平面図である。

【図2】SRAMのメモリセルの等価回路図である。

【図3】本発明の一実施の形態であるSRAMのメモリセルのバターンレイアウトを示す要部平面図である。

【図4】本発明の一実施の形態であるSRAMのメモリセルを示す図3のA-A'線における半導体基板の要部断面図である。

【図5】本発明の一実施の形態であるSRAMのメモリセルを示す図3のB-B'線における半導体基板の要部断面図である。面図)。

【図6】本発明の一実施の形態であるSRAMのメモリセルのバターンレイアウトを示す要部平面図である。

【図7】本発明の一実施の形態であるSRAMのメモリセルのバターンレイアウトを示す要部平面図である。

【図8】本発明の一実施の形態であるSRAMの周辺回路のバターンレイアウトを示す要部平面図である。

【図9】本発明の一実施の形態である第1のマスクのマスクパターンの要部平面図である。

【図10】本発明の一実施の形態である第2のマスクのマスクパターンの要部平面図である。

【図11】第1のマスクと第2のマスクとを用いて半導体ウエハ上のフォトトレジスト膜に潜像を形成する方法を説明する説明図である。

【図12】本発明の他の実施の形態である第1のマスクのマスクパターンの要部平面図である。

【図13】本発明の他の実施の形態である第2のマスクのマスクパターンの要部平面図である。

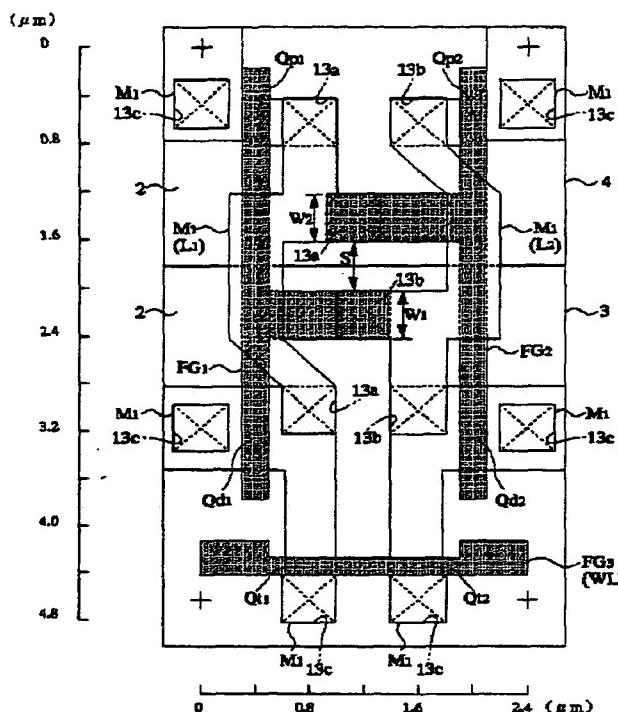
【符号の説明】

- 1 半導体基板
- 2 フィールド絶縁膜
- 3 p型ウエル
- 4 n型ウエル
- 5 p型エピタキシャルシリコン層
- 6 ポリサイド膜

- |                                   |             |
|-----------------------------------|-------------|
| 7                                 | ゲート絶縁膜      |
| 8                                 | n'型半導体領域    |
| 9                                 | n'型半導体領域    |
| 10                                | メタルシリサイド膜   |
| 11                                | 窒化シリコン膜     |
| 12                                | 第1層目の層間絶縁膜  |
| 13a                               | コンタクトホール    |
| 13b                               | コンタクトホール    |
| 13c                               | コンタクトホール    |
| 13d                               | コンタクトホール    |
| 14                                | 第2層目の層間絶縁膜  |
| 15a                               | 第1のスルーホール   |
| 15b                               | 第1のスルーホール   |
| 15c                               | 第1のスルーホール   |
| 16                                | 第3層目の層間絶縁膜  |
| 17                                | 第2のスルーホール   |
| 18                                | 酸化シリコン膜     |
| 19                                | サイドウォールスペーサ |
| 20                                | 遮光膜         |
| 21                                | シフタ         |
| 22                                | マスク基板露出部    |
| 23                                | マスク基板       |
| 24                                | フォトトレジスト膜   |
| F G, ~ F G,                       | ゲート電極       |
| L <sub>1</sub> , L <sub>2</sub>   | 局所配線        |
| D L, バードL                         | データ線        |
| Q <sub>d1</sub> , Q <sub>d2</sub> | 駆動用MISFET   |
| Q <sub>p1</sub> , Q <sub>p2</sub> | 負荷用MISFET   |
| Q <sub>t1</sub> , Q <sub>t2</sub> | 転送用MISFET   |
| 30                                | WL ワード線     |
| A, B                              | 蓄積ノード       |
| V <sub>cc</sub>                   | 電源電圧        |
| V <sub>ss</sub>                   | 基準電圧        |
| I N V, I N V,                     | CMOSインバータ   |
| M <sub>1</sub>                    | 第1層目のメタル配線  |
| M <sub>2</sub>                    | 第2層目のメタル配線  |
| M <sub>3</sub>                    | 第3層目のメタル配線  |
| M G <sub>1</sub>                  | 第1のマスク      |
| M G <sub>2</sub>                  | 第2のマスク      |

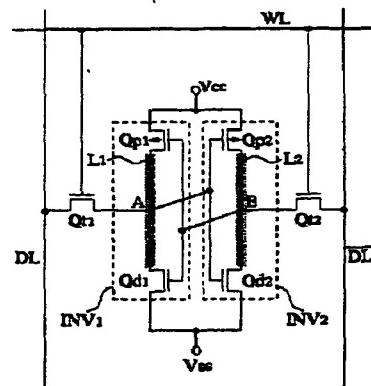
[ 図 1 ]

[ 図 1 ]



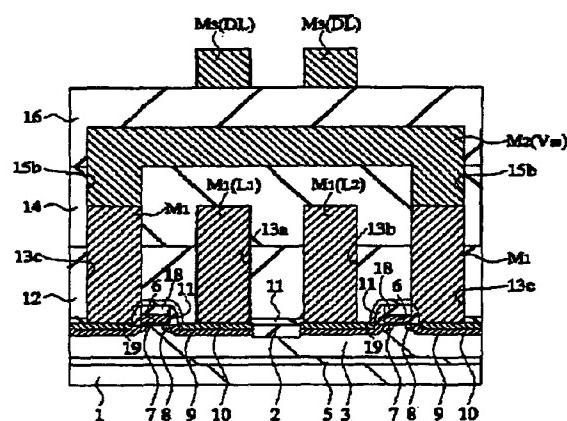
[ 図 2 ]

[ 図 2 ]



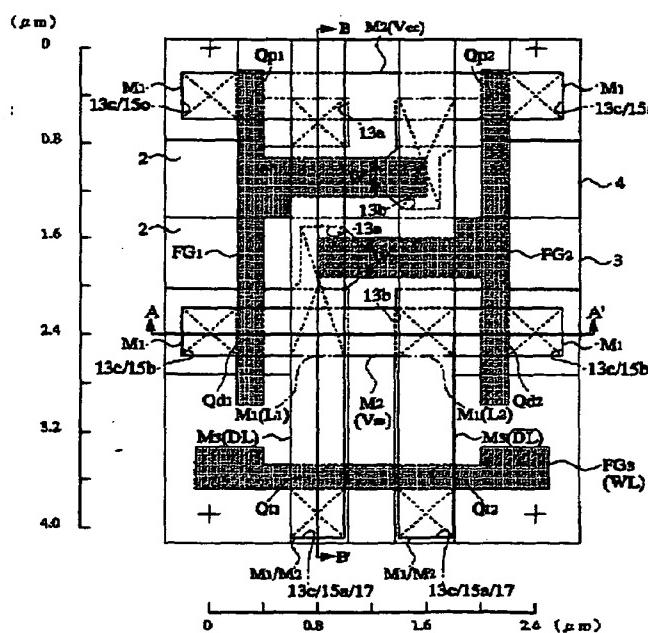
[ 図 4 ]

[ 図 4 ]



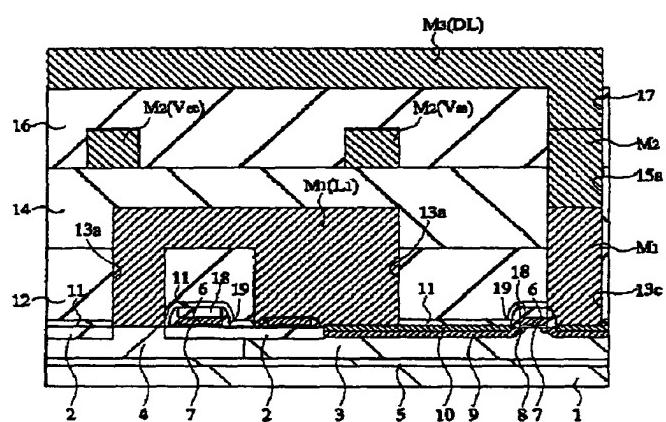
[ 図 3 ]

[ 図 3 ]



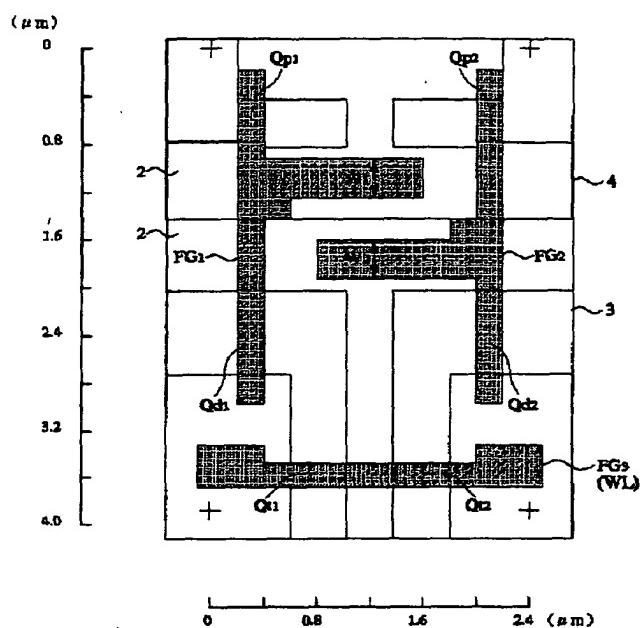
【図 5】

図 5



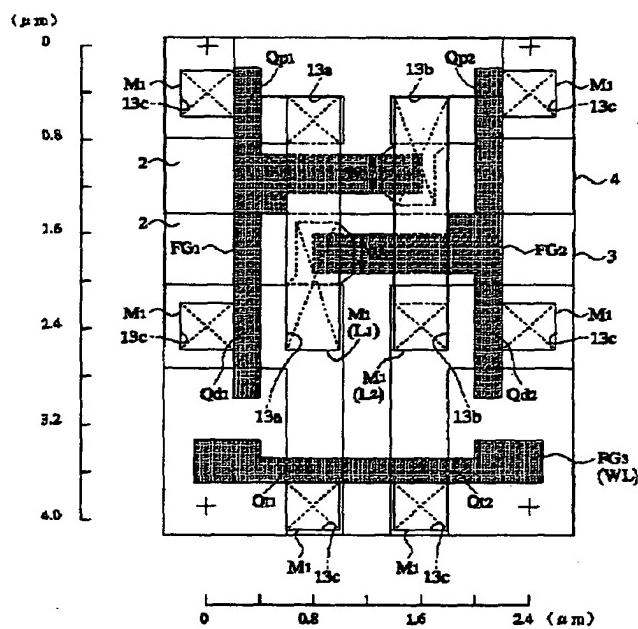
【図 6】

図 6



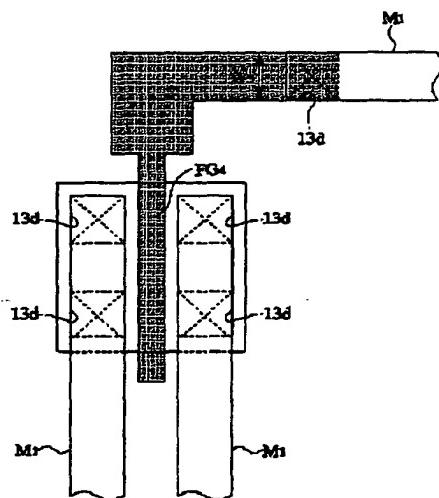
【図 7】

図 7



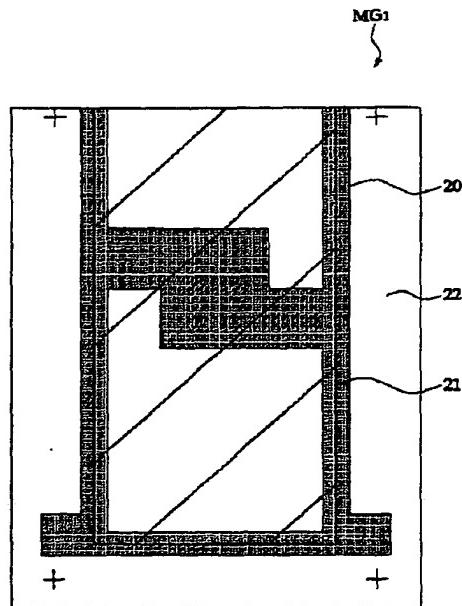
【図 8】

図 8



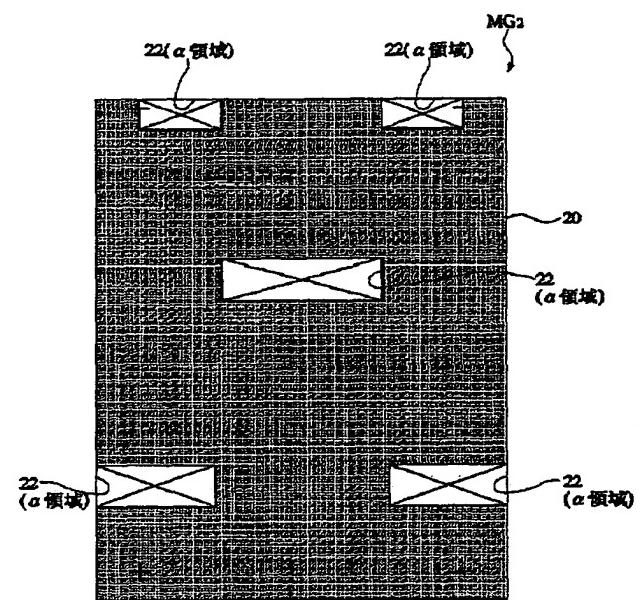
[ 図 9 ]

図 9



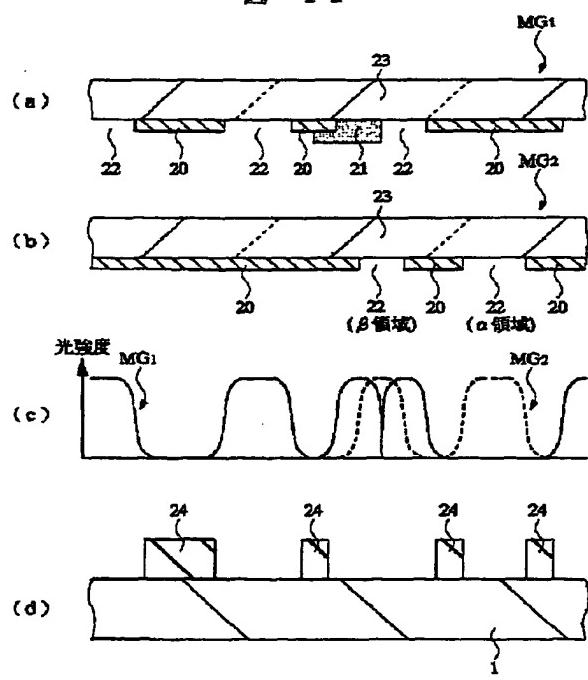
[ 図 10 ]

図 10



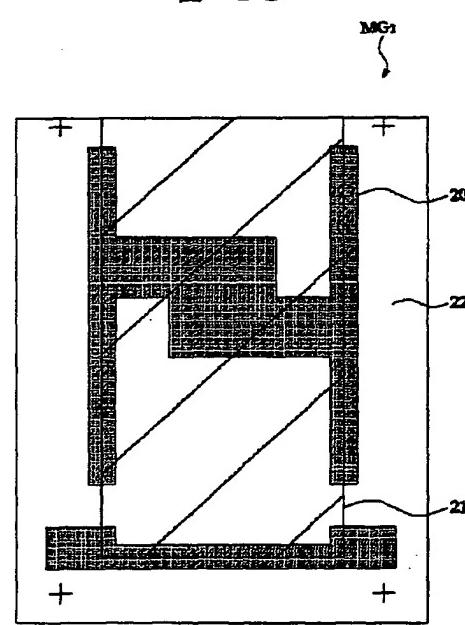
[ 図 11 ]

図 11



[ 図 12 ]

図 12



【図 13】

図 13

